



日 本 国 特 許 庁
JAPAN PATENT OFFICE

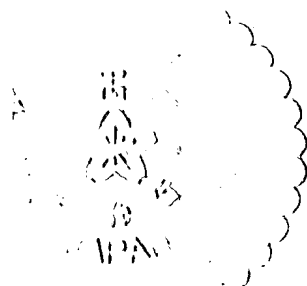
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 3 1 5 2 9
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 3 1 5 2 9]

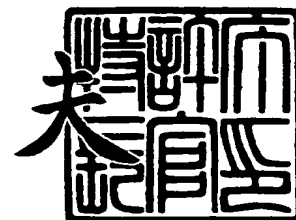
出 願 人 富 士 通 株 式 会 社
Applicant(s):



2 0 0 3 年 1 2 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫





【書類名】 特許願

【整理番号】 0253870

【あて先】 特許庁長官殿

【国際特許分類】 G01R 31/28

【発明の名称】 電源ノイズ解析モデル生成装置、電源ノイズ解析モデル
生成方法、電源ノイズ解析モデル生成プログラム

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 株式会
社富士通コンピュータテクノロジー内

【氏名】 岩倉 好幸

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 株式会
社富士通コンピュータテクノロジー内

【氏名】 佐藤 俊昭

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 株式会
社富士通コンピュータテクノロジー内

【氏名】 鐘井 一欽

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 株式会
社富士通コンピュータテクノロジー内

【氏名】 千田 仁

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 株式会
社富士通コンピュータテクノロジー内

【氏名】 仁村 康太郎

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100097250

【弁理士】

【氏名又は名称】 石戸 久子

【選任した代理人】

【識別番号】 100101856

【弁理士】

【氏名又は名称】 赤澤 日出夫

【手数料の表示】

【予納台帳番号】 038760

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源ノイズ解析モデル生成装置、電源ノイズ解析モデル生成方法、電源ノイズ解析モデル生成プログラム

【特許請求の範囲】

【請求項 1】 回路基板における電源層をモデル化する電源ノイズ解析モデル生成装置であって、

基板形状とパターン形状と素子の情報からなる C A D データを取得する C A D データ取得部と、

前記 C A D データを、電源島パターンデータと素子データと引き出しパターンデータと v i a パターンデータに変換する C A D データ変換処理部と、

異なる層に存在する 2 つの電源島が重なる場合に前記 2 つの電源島を電源ペアとして抽出する電源ペア抽出処理部と、

基板の平面上のうち前記電源ペアが占める領域である電源ペア領域の上に複数のノードを配置するノード配置処理部と、

前記ノードを囲む領域であるノード領域を決定するノード領域決定処理部と、

前記ノード間をインピーダンスとして表すインピーダンスパラメータを決定するインピーダンスパラメータ決定処理部と、

前記インピーダンスパラメータを用いて前記ノード間を接続し、電源層モデルを生成する電源層モデル生成処理部と、

前記電源層モデルと引き出しパターンデータと v i a パターンデータを接続し、電源ノイズ解析モデルを生成する電源ノイズ解析モデル生成処理部と、

を備えてなる電源ノイズ解析モデル生成装置。

【請求項 2】 請求項 1 に記載の電源ノイズ解析モデル生成装置において、

前記電源ペア抽出処理部は、着目した電源ペアに挟まれた空間である電源ペア空間に接するまたは重なる電源ペア空間を持つ他の電源ペアがある場合に、前記着目した電源ペアと前記他の電源ペアをグループとすることを特徴とする電源ノイズ解析モデル生成装置。

【請求項 3】 請求項 1 または請求項 2 に記載の電源ノイズ解析モデル生成装置において、

さらに、各素子から前記電源ペア領域に放射される電磁波の波面である波紋を前記電源ペア領域の上に配置する波紋処理部を備え、

前記ノード配置処理部は、前記波紋のピッチに基づいてノードを配置することを特徴とする電源ノイズ解析モデル生成装置。

【請求項 4】 請求項 3 に記載の電源ノイズ解析モデル生成装置において、前記波紋処理部は、グループに属する電源ペアの電源ペア領域へ波紋を広げることを特徴とする電源ノイズ解析モデル生成装置。

【請求項 5】 請求項 3 または請求項 4 に記載の電源ノイズ解析モデル生成装置において、

さらに、前記波紋の外形座標を探索し、該外形座標を用いて波紋の表示を行う波紋表示処理部を備えることを特徴とする電源ノイズ解析モデル生成装置。

【請求項 6】 回路基板における電源層をモデル化する電源ノイズ解析モデル生成装置であって、

前記回路基板を示すデータから層方向に重なる異なる 2 つの電源層を電源ペアとして抽出する電源ペア抽出処理部と、

前記抽出された電源ペアを用いて電源ノイズ解析モデルを生成する電源ノイズ解析モデル生成処理部と、

を備えてなる電源ノイズ解析モデル生成装置。

【請求項 7】 回路基板における電源層をモデル化する電源ノイズ解析モデル生成方法であって、

基板形状とパターン形状と素子の情報からなる CAD データを取得するステップと、

前記 CAD データを、電源島パターンデータと素子データと引き出しパターンデータと v i a パターンデータに変換するステップと、

異なる層に存在する 2 つの電源島が重なる場合に前記 2 つの電源島を電源ペアとして抽出するステップと、

基板の平面上のうち前記電源ペアが占める領域である電源ペア領域の上に複数のノードを配置するステップと、

前記ノードを囲む領域であるノード領域を決定するステップと、

前記ノード間をインピーダンスとして表すインピーダンスパラメータを決定するステップと、

前記インピーダンスパラメータを用いて前記ノード間を接続し、電源層モデルを生成するステップと、

前記電源層モデルと前記引き出しパターンデータと前記 v i a パターンデータを接続し、電源ノイズ解析モデルを生成するステップと、

を備えてなる電源ノイズ解析モデル生成方法。

【請求項 8】 回路基板における電源層をモデル化する電源ノイズ解析モデル生成方法であって、

前記回路基板を示すデータから層方向に重なる異なる 2 つの電源層を電源ペアとして抽出する電源ペア抽出するステップと、

前記抽出された電源ペアを用いて電源ノイズ解析モデルを生成するステップと、

を備えてなる電源ノイズ解析モデル生成方法。

【請求項 9】 回路基板における電源層のモデル化をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された電源ノイズ解析モデル生成プログラムであって、

基板形状とパターン形状と素子の情報からなる C A D データを取得するステップと、

前記 C A D データを、電源島パターンデータと素子データと引き出しパターンデータと v i a パターンデータに変換するステップと、

異なる層に存在する 2 つの電源島が重なる場合に前記 2 つの電源島を電源ペアとして抽出するステップと、

基板の平面上のうち前記電源ペアが占める領域である電源ペア領域の上に複数のノードを配置するステップと、

前記ノードを囲む領域であるノード領域を決定するステップと、

前記ノード間をインピーダンスとして表すインピーダンスパラメータを決定するステップと、

前記インピーダンスパラメータを用いて前記ノード間を接続し、電源層モデル

を生成するステップと、

前記電源層モデルと前記引き出しパターンデータと前記 v i a パターンデータを接続し、電源ノイズ解析モデルを生成するステップと、

をコンピュータに実行させることを特徴とする電源ノイズ解析モデル生成プログラム。

【請求項 1 0】 回路基板における電源層のモデル化をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された電源ノイズ解析モデル生成プログラムであって、

前記回路基板を示すデータから層方向に重なる異なる 2 つの電源層を電源ペアとして抽出する電源ペア抽出するステップと、

前記抽出された電源ペアを用いて電源ノイズ解析モデルを生成するステップと、

をコンピュータに実行させることを特徴とする電源ノイズ解析モデル生成プログラム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、回路基板に生じる電源ノイズを解析するために電源層をモデル化する電源ノイズ解析モデル生成装置、電源ノイズ解析モデル生成方法、電源ノイズ解析モデル生成プログラムに関するものである。

【 0 0 0 2 】

【従来の技術】

近年、回路設計において、回路に搭載される素子の高密度化により、回路基板の単位面積当たりの電源電流密度が著しく増加する傾向となっている。また、回路の動作周波数の高速化により、電源電流に含まれる周波数成分も高周波への方
向に移行している。このような状況から、従来問題とならなかった電源ノイズに起因する障害が増加している。従来、電源ノイズを解析する手段としては、回路基板全体をモデル化することにより、回路シミュレータを使用してノイズ量の計算を行っていた。回路シミュレータの代表的なものには、例えば S P I C E (Si

mulation Program with Integrated Circuit Emphasis) がある。

【0 0 0 3】

また、回路基板をモデル化する方法として、回路基板を均一メッシュに分割してモデル化せず、ドーナツ状にモデル化することにより、シミュレーション速度の低下を防ぐ方法がある（例えば、特許文献 1 参照）。

【0 0 0 4】

特開 2 0 0 0 - 2 7 5 2 号公報（第 6 - 1 0 頁、図 1）

【0 0 0 5】

【発明が解決しようとする課題】

従来は、回路基板全体を均一メッシュに分割してモデル化を行っていたため、回路基板に搭載される素子の実装密度の偏りや電源分割などの条件がある場合は、それらの条件がモデルに考慮されていなかった。従って、この均一モデルでは、精度の高い電源ノイズ解析が行うことができなかった。

【0 0 0 6】

本発明は上述した課題に鑑みてなされたものであり、実際の回路基板の動作に近い正確な電源ノイズ解析を行うために、回路基板の様々な条件を考慮して電源層をモデル化する電源ノイズ解析モデル生成装置、電源ノイズ解析モデル生成方法、電源ノイズ解析モデル生成プログラムを提供することを目的とする。

【0 0 0 7】

【課題を解決するための手段】

上述した課題を解決するために、本発明は、回路基板における電源層をモデル化する電源ノイズ解析モデル生成装置であって、基板形状とパターン形状と素子の情報からなる C A D データを取得する C A D データ取得部と、前記 C A D データを、電源島パターンデータと素子データと引き出しパターンデータと v i a パターンデータに変換する C A D データ変換処理部と、異なる層に存在する 2 つの電源島が重なる場合に前記 2 つの電源島を電源ペアとして抽出する電源ペア抽出処理部と、基板の平面上のうち前記電源ペアが占める領域である電源ペア領域の上に複数のノードを配置するノード配置処理部と、前記ノードを囲む領域であるノード領域を決定するノード領域決定処理部と、前記ノード間をインピーダンス

として表すインピーダンスパラメータを決定するインピーダンスパラメータ決定処理部と、前記インピーダンスパラメータを用いて前記ノード間を接続し、電源層モデルを生成する電源層モデル生成処理部と、前記電源層モデルと引き出しパターンデータと via パターンデータを接続し、電源ノイズ解析モデルを生成する電源ノイズ解析モデル生成処理部とを備えてなるものである。

【0008】

このような構成によれば、異なる電源層に存在する2つの電源島を用いて構成される電源ペアを元に、電界、磁界の影響を考慮した電源ノイズ解析モデルを生成することにより、回路基板を製造する前に、実際の回路基板の動作に近い高精度な電源ノイズ解析を行うことができる。なお、本実施の形態におけるインピーダンスパラメータ決定処理部は、LRC決定処理部20のことである。

【0009】

また、本発明に係る電源ノイズ解析モデル生成装置において、前記インピーダンスパラメータは、LとRとCであることを特徴とすることができ、このような構成によれば、電源層の影響を回路シミュレータで利用可能なモデルとして表すことができる。

【0010】

また、本発明に係る電源ノイズ解析モデル生成装置において、前記電源ペア抽出処理部は、着目した電源ペアに挟まれた空間である電源ペア空間に接するまたは重なる電源ペア空間を持つ他の電源ペアがある場合に、前記着目した電源ペアと前記他の電源ペアをグループとすることを特徴とするものである。

【0011】

このような構成によれば、互いに電界、磁界の影響がある電源ペアをグループ化することにより、電源ノイズ解析の精度を向上させることができる。

【0012】

また、本発明に係る電源ノイズ解析モデル生成装置において、さらに、各素子から前記電源ペア領域に放射される電磁波の波面である波紋を前記電源ペア領域

の上に配置する波紋処理部を備え、前記ノード配置処理部は、前記波紋のピッチに基づいてノードを配置することを特徴とするものである。

【0013】

このような構成によれば、電磁波の影響を考慮したモデルを生成することができ、電源ノイズ解析の精度を向上させることができる。

【0014】

また、本発明に係る電源ノイズ解析モデル生成装置において、前記波紋処理部は、前記電源ペア領域の上に搭載される素子の立ち上がり時間または立ち下がり時間と、前記素子の最大動作周波数と、波紋の領域の面積とを用いて波紋の間隔を算出することを特徴とすることができ、このような構成によれば、電磁波の波面を、高速に精度良く算出することができる。

【0015】

また、本発明に係る電源ノイズ解析モデル生成装置において、前記波紋処理部は、グループに属する電源ペアの電源ペア領域へ波紋を広げることを特徴とするものである。

【0016】

このような構成によれば、複数の電源ペアが互いに及ぼす影響を考慮することにより、電源ノイズ解析の精度を向上させることができる。

【0017】

また、本発明に係る電源ノイズ解析モデル生成装置において、さらに、前記波紋の外形座標を探索し、該外形座標を用いて波紋の表示を行う波紋表示処理部を備えることを特徴とするものである。

【0018】

このような構成によれば、波紋を図形として表示する場合に、波紋外形の座標を求め、まとめて描画することにより、描画時間短縮を図ることができる。

【0019】

また、本発明に係る電源ノイズ解析モデル生成装置において、さらに、搭載される素子のうち動作周波数の高い素子の波長に基づくメッシュを用いて、前記電源ペア領域を分割するメッシュ分割処理部を備えたことを特徴とするものである。

【0020】

このような構成によれば、電源ペア領域を最適なメッシュで分割することにより、電源ノイズ解析を高速に行うことができる。

【0021】

また、本発明に係る電源ノイズ解析モデル生成装置において、さらに、基板上の座標とアドレスが対応するテーブルに、前記メッシュ毎の情報を格納する内部データ格納部を備えたことを特徴とするものである。

【0022】

このような構成によれば、電源層モデルに必要なデータを効率よく格納することができる。

【0023】

また、本発明に係る電源ノイズ解析モデル生成装置において、前記メッシュ毎の情報は、素子から当該メッシュまでの波紋の数を表す波紋レベルと、当該メッシュにおけるノードの有無と、当該メッシュが属するノード領域を表すノード領域識別子の少なくともいずれか1つを含むことを特徴とするものである。

【0024】

このような構成によれば、座標に対応づけてメッシュ毎の情報を格納することにより、波紋とノードとノード領域を容易に探索することができる。

【0025】

また、本発明に係る電源ノイズ解析モデル生成装置において、前記ノード領域決定処理部は、着目したノードを中心とする所定の半径の扇形において、前記着目したノードに最も近いノードを近傍ノードとし、前記着目したノードの周りに前記扇形を回転させて近傍ノードを探索することを特徴とすることができ、このような構成によれば、ノード領域を決定するために用いる近傍ノードを、効率よく検索することができる。

【0026】

また、本発明に係る電源ノイズ解析モデル生成装置において、前記ノード領域決定処理部は、前記着目したノードと前記近傍ノードの間の垂直2等分線を1辺

とし、且つ前記近傍ノードを含む正方形を電源ペア領域から削除することにより、前記着目したノードのノード領域の辺を決定し、前記着目したノードに近い順に全ての近傍ノードに対するノード領域の辺を決定することにより、前記着目したノードのノード領域を決定することを特徴とすることができ、このような構成によれば、不規則に並んだノードのノード領域を効率よく決定することができる。

【0027】

また、本発明に係る電源ノイズ解析モデル生成装置において、前記インピーダンスパラメータ決定処理部は、ノード間の距離に基づいてLとRを決定し、ノード領域面積と電源層間距離を用いてCを決定し、前記電源層モデル生成処理部は、LとRを電源ペア上面の上のノード間と、電源ペア下面の上のノード間に配置し、Cを電源ペア上面と電源ペア下面の同じ位置のノード間に配置することを特徴とすることができ、このような構成によれば、電源層を回路シミュレーションに適したモデルとして表すことができる。

【0028】

また、本発明に係る電源ノイズ解析モデル生成装置において、前記電源ノイズ解析モデルを格納する電源ノイズ解析モデル格納部をさらに備えることを特徴とすることができ、このような構成によれば、電源ノイズ解析モデル格納部に格納された電源ノイズ解析モデルを用いて、回路シミュレータは電源ノイズの解析を行うことができる。

【0029】

また、本発明に係る電源ノイズ解析モデル生成装置において、前記電源ノイズ解析モデル生成処理部は、さらに前記電源ノイズ解析モデルに前記素子データを接続した全回路モデルを生成し、前記電源ノイズ解析モデル格納部へ全回路モデルを格納することを特徴とすることができ、このような構成によれば、電源ノイズ解析モデル格納部に格納された全回路モデルを用いて、回路シミュレータは電源ノイズ解析を考慮した全回路のシミュレーションを行うことができる。

【0030】

また、本発明は、回路基板における電源層をモデル化する電源ノイズ解析モデ

ル生成装置であって、前記回路基板を示すデータから層方向に重なる異なる2つの電源層を電源ペアとして抽出する電源ペア抽出処理部と、前記抽出された電源ペアを用いて電源ノイズ解析モデルを生成する電源ノイズ解析モデル生成処理部とを備えてなるものである。

【0031】

また、本発明は、回路基板における電源層をモデル化する電源ノイズ解析モデル生成方法であって、基板形状とパターン形状と素子の情報からなるCADデータを取得するステップと、前記CADデータを、電源島パターンデータと素子データと引き出しパターンデータとviaパターンデータに変換するステップと、異なる層に存在する2つの電源島が重なる場合に前記2つの電源島を電源ペアとして抽出するステップと、基板の平面上のうち前記電源ペアが占める領域である電源ペア領域の上に複数のノードを配置するステップと、前記ノードを囲む領域であるノード領域を決定するステップと、前記ノード間をインピーダンスとして表すインピーダンスパラメータを決定するステップと、前記インピーダンスパラメータを用いて前記ノード間を接続し、電源層モデルを生成するステップと、前記電源層モデルと前記引き出しパターンデータと前記viaパターンデータを接続し、電源ノイズ解析モデルを生成するステップとを備えてなるものである。

【0032】

このような構成によれば、異なる電源層に存在する2つの電源島を用いて構成される電源ペアを元に、電界、磁界の影響を考慮した電源ノイズ解析モデルを生成することにより、回路基板を製造する前に、実際の回路基板の動作に近い高精度な電源ノイズ解析を行うことができる。

【0033】

本発明に係る電源ノイズ解析モデル生成方法において、前記インピーダンスパラメータは、LとRとCであることを特徴とすることができ、電源層の影響を回路シミュレータで利用可能なモデルとして表すことができる。

【0034】

また、本発明に係る電源ノイズ解析モデル生成方法において、前記電源ペアを抽出するステップは、着目した電源ペアに挟まれた空間である電源ペア空間に接

するまたは重なる電源ペア空間を持つ他の電源ペアがある場合に、前記着目した電源ペアと前記他の電源ペアをグループとすることを特徴とすることができ、互いに電界、磁界の影響がある電源ペアをグループ化することにより、電源ノイズ解析の精度を向上させることができる。

【0035】

また、本発明に係る電源ノイズ解析モデル生成方法において、さらに、各素子から前記電源ペア領域に放射される電磁波の波面である波紋を電源ペア領域の上に配置するステップを備え、前記ノードを配置するステップは、前記波紋のピッチに基づいてノードを配置することを特徴とすることができ、電磁波の影響を考慮したモデルを生成することができ、電源ノイズ解析の精度を向上させることができる。

【0036】

また、本発明に係る電源ノイズ解析モデル生成方法において、前記波紋を配置するステップは、電源ペア領域の上に搭載される素子の立ち上がり時間または立ち下がり時間と、前記素子の最大動作周波数と、波紋の領域の面積とを用いて波紋を算出することを特徴とすることができ、電磁波の波面を、高速に精度良く算出することができる。

【0037】

また、本発明に係る電源ノイズ解析モデル生成方法において、前記波紋を配置するステップは、グループに属する電源ペアの電源ペア領域へ波紋を広げることとを特徴とすることができ、複数の電源ペアが互いに及ぼす影響を考慮することにより、電源ノイズ解析の精度を向上させることができる。

【0038】

また、本発明に係る電源ノイズ解析モデル生成方法において、さらに、前記波紋の外形座標を探索し、該外形座標を用いて波紋の表示を行うステップを備えることを特徴とすることができ、波紋を図形として表示する場合に、波紋外形の座標を求め、まとめて描画することにより、描画時間短縮を図ることができる。

【0039】

また、本発明に係る電源ノイズ解析モデル生成方法において、さらに、搭載さ

れる素子のうち動作周波数の高い素子の波長に基づくメッシュを用いて、前記電源ペア領域を分割するステップを備えることを特徴とすることができ、電源ペア領域を最適なメッシュで分割することにより、電源ノイズ解析を高速に行うことができる。

【0040】

また、本発明に係る電源ノイズ解析モデル生成方法において、さらに、基板上の座標とアドレスが対応するテーブルに、前記メッシュ毎の情報を格納するステップを備えたことを特徴とすることができ、電源層モデルに必要なデータを効率よく格納することができる。

【0041】

また、本発明に係る電源ノイズ解析モデル生成方法において、前記メッシュ毎の情報は、素子から当該メッシュまでの波紋の数を表す波紋レベルと、当該メッシュにおけるノードの有無と、当該メッシュが属するノード領域を表すノード領域識別子の少なくともいずれか1つを含むことを特徴とすることができ、座標に対応づけてメッシュ毎の情報を格納することにより、波紋とノードとノード領域を容易に探索することができる。

【0042】

また、本発明は、回路基板における電源層をモデル化する電源ノイズ解析モデル生成方法であって、前記回路基板を示すデータから層方向に重なる異なる2つの電源層を電源ペアとして抽出する電源ペア抽出するステップと、前記抽出された電源ペアを用いて電源ノイズ解析モデルを生成するステップとを備えてなるものである。

【0043】

また、本発明は、回路基板における電源層のモデル化をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された電源ノイズ解析モデル生成プログラムであって、基板形状とパターン形状と素子の情報からなるCADデータを取得するステップと、前記CADデータを、電源島パターンデータと素子データと引き出しパターンデータとviaパターンデータに変換するステップと、異なる層に存在する2つの電源島が重なる場合に前記2つの電源島を電

源ペアとして抽出するステップと、基板の平面上のうち前記電源ペアが占める領域である電源ペア領域の上に複数のノードを配置するステップと、前記ノードを囲む領域であるノード領域を決定するステップと、前記ノード間をインピーダンスとして表すインピーダンスパラメータを決定するステップと、前記インピーダンスパラメータを用いて前記ノード間を接続し、電源層モデルを生成するステップと、前記電源層モデルと前記引き出しパターンデータと前記 v i a パターンデータを接続し、電源ノイズ解析モデルを生成するステップとをコンピュータに実行させることを特徴とするものである。

【 0 0 4 4 】

このような構成によれば、異なる電源層に存在する 2 つの電源島を用いて構成される電源ペアを元に、電界、磁界の影響を考慮した電源ノイズ解析モデルを生成することにより、回路基板を製造する前に、実際の回路基板の動作に近い高精度な電源ノイズ解析を行うことができる。

【 0 0 4 5 】

ここで、前記インピーダンスパラメータは、L と R と C であることを特徴とすることができる。また、本発明に係る電源ノイズ解析モデル生成プログラムにおいて、前記電源ペアを抽出するステップは、着目した電源ペアに挟まれた空間である電源ペア空間に接するまたは重なる電源ペア空間を持つ他の電源ペアがある場合に、前記着目した電源ペアと前記他の電源ペアをグループとすることを特徴とすることができる。

【 0 0 4 6 】

また、本発明に係る電源ノイズ解析モデル生成プログラムにおいて、さらに、各素子から前記電源ペア領域に放射される電磁波の波面である波紋を電源ペア領域の上に配置することをコンピュータに実行させるステップを備え、前記ノードを配置するステップは、前記波紋のピッチに基づいてノードを配置することを特徴とすることができる。

【 0 0 4 7 】

また、本発明に係る電源ノイズ解析モデル生成プログラムにおいて、前記波紋を配置するステップは、電源ペア領域の上に搭載される素子の立ち上がり時間ま

たは立ち下がり時間と、前記素子の最大動作周波数と、波紋の領域の面積とを用いて波紋を算出することを特徴とすることができる。また、本発明に係る電源ノイズ解析モデル生成プログラムにおいて、前記波紋を配置するステップは、グループに属する電源ペアの電源ペア領域へ波紋を広げることを特徴とすることができる。

【0048】

また、本発明に係る電源ノイズ解析モデル生成プログラムにおいて、さらに、前記波紋の外形座標を探索し、該外形座標を用いて波紋の表示を行うことをコンピュータに実行させるステップを備えることを特徴とすることができる。

また、本発明に係る電源ノイズ解析モデル生成プログラムにおいて、さらに、搭載される素子のうち動作周波数の高い素子の波長に基づくメッシュを用いて、前記電源ペア領域を分割することをコンピュータに実行させるステップを備えたことを特徴とすることができる。

【0049】

また、本発明に係る電源ノイズ解析モデル生成プログラムにおいて、さらに、基板上の座標とアドレスが対応するテーブルに、前記メッシュ毎の情報を格納することをコンピュータに実行させるステップを備えたことを特徴とすることができる。

また、本発明に係る電源ノイズ解析モデル生成プログラムにおいて、前記メッシュ毎の情報は、素子から当該メッシュまでの波紋の数を表す波紋レベルと、当該メッシュにおけるノードの有無と、当該メッシュが属するノード領域を表すノード領域識別子の少なくともいずれか1つを含むことを特徴とすることができる。

【0050】

また、本発明は、回路基板における電源層のモデル化をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された電源ノイズ解析モデル生成プログラムであって、前記回路基板を示すデータから層方向に重なる異なる2つの電源層を電源ペアとして抽出する電源ペア抽出するステップと、前記抽出された電源ペアを用いて電源ノイズ解析モデルを生成するステップとをコン

コンピュータに実行させることを特徴とするものである。

【0051】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。まず、回路設計システムの構成について説明する。図1は、回路設計システムの構成例を示すブロック図である。CAD1は、回路基板の設計を行うためのツールであり、基板形状、パターン形状、素子の情報からなるCADデータを生成する。本発明の電源ノイズ解析モデル生成装置2は、CAD1により生成されたCADデータを用いて、回路シミュレータが利用可能な電源ノイズ解析モデルを生成する。回路シミュレータ3は、電源ノイズ解析モデル生成装置2により生成された電源ノイズ解析モデルを用いて回路シミュレーションを行う。

【0052】

次に、回路設計システムによる設計、モデル化、シミュレーションの対象となる回路基板について説明する。図2は、本実施の形態における電源ノイズ解析モデル生成装置がモデル化の対象とする回路基板の構成例を示す図である。ここでは簡単のため3層で構成される基板を例に挙げる。図2(a)は、回路基板の各層を基板上方から見たそれぞれの平面図である。また、図2(b)は、図2(a)に示した回路基板の断面図である。

【0053】

図2に示す回路基板は、1つの信号層101と2つの電源層102, 103から構成されている。電源層102は3.3Vの電源島106と2.5Vの電源島107を備え、電源層103はGNDの電源島108を備える。電源島とは、電源またはGNDの面パターン及び線パターンのことである。信号層101にはLSI等の素子a104と素子b105が搭載され、素子a104は、via109を介して電源島106と接続され、via110を介して電源島108に接続されている。また、素子b105は、via111を介して電源島108と接続され、via112を介して電源島107と接続されている。

【0054】

図2に示すような電源島106, 107, 108には電界、磁界が発生する。

そのため、2つの電源島に挟まれた空間には電源ノイズが発生する。本発明では、この異なる電源層に存在する2つの電源島を用いて、電界、磁界の影響を考慮した電源ノイズ解析モデルを生成する。

【0055】

次に、電源ノイズ解析モデル生成装置2について説明する。図3は、本実施の形態における電源ノイズ解析モデル生成装置のハードウェアの構成例を示すブロック図である。図3に示すように、電源ノイズ解析モデル生成装置2を実現するハードウェアは、ユーザからの入力を受け付ける入力部31と、電源ノイズ解析モデルの生成に必要なデータを格納する記憶部32と、データの処理を行う処理部33と、電源ノイズ解析結果等の表示を行う表示部34から構成される。

【0056】

次に、電源ノイズ解析モデル生成装置2の構成について説明する。図4は、本実施の形態における電源ノイズ解析モデル生成装置のソフトウェアの構成例を示すブロック図である。図4に示すように、電源ノイズ解析モデル生成装置2は、CADデータ取得部11と、CADデータ変換処理部12と、内部データ格納部13と、電源ペア抽出処理部14と、メッシュ分割処理部15と、波紋処理部16と、波紋表示処理部17と、ノード配置処理部18と、ノード領域決定処理部19と、LRC決定処理部20と、電源層モデル生成処理部21と、電源ノイズ解析モデル格納部22と、電源ノイズ解析モデル生成処理部23から構成される。

【0057】

以後、電源ノイズ解析モデル生成装置2の動作について、図5のフローチャートに沿って説明する。

【0058】

まず、処理S1について説明する。CADデータ取得部11は、予めCADにより生成され、保存されたCADデータを取得する。

【0059】

次に、処理S2について説明する。CADデータ変換処理部12は、CADデータを電源ノイズ解析に適したデータに変換する。すなわち、CADデータから

無駄なデータを削除し、CADデータの値を補正して、電源島パターンデータ、引き出しパターンデータ、viaパターンデータ、素子データとして変換する。ここで、電源島パターンデータは、電源島のパターン形状を表す。また、引き出しパターンデータは、素子の電源ピンとGNDピンからviaまで引き出されている線のパターン形状を表す。また、viaパターンデータは、電源層を結ぶ線のパターン形状を表す。ここで対象となるviaは、電源またはGNDのパターンに接続されるviaである。CADデータ変換処理部12により変換された各データは内部データ格納部13へ格納される。

【0060】

次に、処理S3について説明する。電源ペア抽出処理部14は、内部データ格納部13に格納された電源島パターンデータを用いて電源ペアの抽出を行う。

【0061】

図6は、電源ペアの一例を示す断面図である。電源島113と電源島114のように異なる電源層に存在する2つの電源島が重なっている場合、電源島113と電源島114の組を電源ペアとする。また、電源島113と電源島114の電源ペアに挟まれた空間を電源ペア空間115とする。また、電源島113を電源ペア上面、電源島114を電源ペア下面とする。

【0062】

次に、電源ペア抽出処理について説明する。図7は、電源ペア抽出処理のフローを示すフローチャートである。まず、残り領域を初期化し、全ての電源島とする(S11)。次に、残り領域の中に電源島同士の重なりを探索する(S12)。重なりがなければ(S13, No)、フローを終了する。

【0063】

重なりがあれば(S13, Yes)、残り領域のうち重なりのある部分を新たな残り領域とする(S14)。次に、残り領域のうち上から1番目の層に位置する電源島をエリアA、残り領域のうち上から2番目の層に位置する電源島をエリアBとする(S15)。次に、エリアAとエリアBのうち重なった部分を抽出し、エリアAのうち重なった部分を電源ペア上面、エリアBのうち重なった部分を電源ペア下面とする電源ペアとして抽出し、電源ペアデータとして内部データ格

納部 13 へ格納する (S16)。次に、残り領域からエリア A における電源ペアの部分を除いた領域を、新たな残り領域とし (S17)、処理 S12 へ戻る。

【0064】

次に、電源ペア抽出処理の具体例について説明する。まず、電源層に複数の電源島がある例について図 8 と図 9 を用いて説明する。図 8 (a) は、回路基板の各層を基板上方から見たそれぞれの平面図である。また、図 8 (b) は、図 8 (a) に示した回路基板の断面図である。電源層 121 は 1 つの電源島 124 を備え、電源層 122 は 2 つの電源島 125, 126 を備え、電源層 123 は 1 つの電源島 127 を備える。

【0065】

まず、電源島 124, 125, 126, 127 を残り領域とする。次に、残り領域の中に電源島同士の重なりを探索し、電源島 124, 125, 126, 127 に重なりがあるので、電源島 124, 125, 126, 127 を新たな残り領域とする。次に、電源島 124 をエリア A、電源島 125, 126 をエリア B とする。

【0066】

次に、電源島 124 と電源島 125 の重なる部分を電源ペア空間 131 とし、電源ペアを抽出する。次に、電源島 124 と電源島 126 の重なる部分を電源ペア空間 132 とし、電源ペアを抽出する (図 9 (a))。

【0067】

次に、残り領域からエリア A における電源ペアの部分を除いた領域である、電源島 128, 125, 126, 127 を、新たな残り領域とする。次に、残り領域の中に電源島同士の重なりを探索し、電源島 128, 125, 126, 127 に重なりがあるので、電源島 128, 125, 126, 127 を新たな残り領域とする。次に、電源島 128 をエリア A、電源島 127 をエリア B とする。

【0068】

次に、電源島 128 と電源島 127 の重なる部分を電源ペア空間 133 とし、電源ペアを抽出する (図 9 (b))。

【0069】

次に、残り領域からエリアAにおける電源ペアの部分を除いた領域である、電源島125, 126, 127を、新たな残り領域とする。次に、残り領域の中に電源島同士の重なりを探索し、電源島125, 126, 127に重なりがあるので、電源島125, 126, 127を新たな残り領域とする。次に、電源島125, 126をエリアA、電源島127をエリアBとする。

【0070】

次に、電源島125と電源島127の重なる部分を電源ペア空間134とし、電源ペアを抽出する。電源島126と電源島127の重なる部分を電源ペア空間135とし、電源ペアを抽出する（図9（c））。

【0071】

次に、残り領域からエリアAにおける電源ペアの部分を除いた領域である、電源島127を、新たな残り領域とする。次に、残り領域の中に電源島同士の重なりを探索するが、電源島127には重なりがないため、電源ペア抽出処理を終了する。以上の処理により、電源層121, 122, 123からは5組の電源ペアが抽出される。

【0072】

次に、電源層に包含される電源島がある例について図10と図11を用いて説明する。図10（a）は、回路基板の各層を基板上方から見たそれぞれの平面図である。また、図10（b）は、図10（a）に示した回路基板の断面図である。電源層141は1つの電源島144を備え、電源層142は1つの電源島145を備え、電源層143は1つの電源島146を備える。

【0073】

まず、電源島144, 145, 146を残り領域とする。次に、残り領域の中に電源島同士の重なりを探索し、電源島144, 145, 146に重なりがあるので、電源島144, 145, 146を新たな残り領域とする。次に、電源島144をエリアA、電源島145をエリアBとする。

【0074】

次に、電源島144と電源島145の重なる部分を電源ペア空間151とし、電源ペアを抽出する。（図11（a））。

【0075】

次に、残り領域からエリアAにおける電源ペアの部分を除いた領域である、電源島147、146を、新たな残り領域とする。電源島147は、基板上方から平面図として見ると図11(b)のようになる。ここで、電源島145より削除された部分を打ち抜き穴148とする。次に、残り領域の中に電源島同士の重なりを探索し、電源島147、146に重なりがあるので、電源島147、146を新たな残り領域とする。次に、電源島147をエリアA、電源島146をエリアBとする。

【0076】

この時、電源島147に打ち抜き穴が存在する場合、電源島145より削除される前の電源島144と電源島146の重なる部分を電源ペア空間152とし、電源ペアを抽出する(図11(c))。さらに、打ち抜き穴148を電源ペア空間152の穴とする。電源ペア空間152と打ち抜き穴148を組とすることにより、電源ペアは打ち抜き穴を持つ電源ペアとなる。

【0077】

次に、残り領域からエリアAにおける電源ペアの部分を除いた領域である、電源島145、146を、新たな残り領域とする。電源島145と電源島146の電源ペアの抽出については、図9で説明したのと同様の手順で行われる。以上の処理により、電源層141、142、143からは3組の電源ペアが抽出される。

【0078】

次に、電源ペアグループについて説明する。電界、磁界は主に電源ペアの間の電源ペア空間に発生するが、電源ペア空間のエッジにおいても外側に回り込む電界、磁界が発生する。図12は、隣接する電源ペア空間に対する電磁波の影響を示す断面図である。図12に示すように、電源ペア空間161に発生した電界、磁界は、エッジでの回り込みにより電源ペア空間161に接する電源ペア空間162へ影響を及ぼす。さらに電源ペア空間162に接する電源ペア空間163へ影響を及ぼす。本実施の形態ではこのエッジでの回り込みを考慮し、互いに電界、磁界の影響がある電源ペアをグループ化することにより、電源ノイズ解析の精

度を上げる。

【0079】

図13は、電源ペアグループ抽出処理のフローを示すフローチャートである。まず、グループ化されていない電源ペアがあれば（S21, Yes）、その電源ペアをキーペアとし、キーペアに対する層内ペアを探索する（S22）。層内ペアとは、キーペアの電源ペア上面が存在する層と電源ペア下面が存在する層の間に、一部でも存在する電源ペアのことである。

【0080】

次に、層内ペアの中からキーペアの関連ペアを探索する（S23）。関連ペアとは、キーペアの電源ペア空間に接するまたは重なる電源ペア空間を持つ電源ペアであり、キーペアとグループ化される電源ペアである。キーペアの関連ペアがない場合（S24, No）、キーペアだけを電源ペアグループの構成要素として、処理S26へ移行する。

【0081】

一方、キーペアの関連ペアがある場合（S24, Yes）、関連ペアの属する電源ペアグループを取得し（S25）、キーペアと、関連ペアの属する電源ペアグループとを、電源ペアグループの新たな構成要素とする。次に、グループ化の対象となった電源ペアを1つの電源ペアグループとして内部データ格納部13へ格納し（S26）、処理S21へ戻る。

【0082】

全ての電源ペアが電源ペアグループの構成要素として格納された場合（S21, No）、フローを終了する。以上の処理に従って、電源ペア抽出部14により抽出された電源ペアは、電源ペアデータとして内部データ格納部13へ格納される。

【0083】

次に、処理S4について説明する。まず、メッシュ分割処理部15は、内部データ格納部13に格納された電源ペアデータから電源ペア領域を算出する。図14は、電源ペア領域の算出結果の一例を表す図である。ここで、図14（a）は電源ペア上面201と電源ペア下面202に挟まれた電源ペア空間203の断面

図を示し、図14(b)は基板203の上方から見た電源ペア領域の平面図を示す。図14(b)に示すように、基板211の上方から見た平面のうち、電源ペア空間203が占める領域を、電源ペア領域210とする。

【0084】

次にメッシュ分割処理部15は、内部データ格納部13に格納された素子データから素子毎の立ち上がり時間または立ち下がり時間であるTを取得する。素子の動作周波数が高いほど、Tは小さい。次に、素子毎のTのうち最も小さいTを用いて、動作周波数が最も高い素子の最大動作周波数Fmaxを、以下の(1)式から算出する。

【0085】

$$F_{\max} = 1/(\pi \times T) \cdots (1)$$

【0086】

次にFmaxを用いて、動作周波数が最も高い素子から放射される電磁波の波紋のピッチである最小解析ピッチPminを、以下の(2)式から算出する。

【0087】

$$P_{\min} = c/(F_{\max} \times \epsilon_r^{(1/2)}) \times 0.1 \times 0.6 \cdots (2)$$

【0088】

ここで、cは光速2.9979e11mm/s、 ϵ_r は基板の絶縁体の誘電率を表す。また、波紋とは、素子から放射される電磁波の分布を1波長毎の波面で表したものである。電磁波を放射する素子の動作周波数が高いほど波紋の間隔は短い。また、基板上の電磁波は進行するほど、減衰や波形なまりが発生して波形の立上り／立下りの間隔が長くなりPmin値が増加する性質がある。

【0089】

次にメッシュ分割処理部15は、電源ペア領域を1辺がPmin/2の正方形のメッシュに分割し、メッシュ領域とする。図14(c)は、メッシュ領域の一例を示す平面図である。ここで、メッシュ領域220は、図14(b)に示した電源ペア領域210をメッシュに分割したものである。メッシュ領域220は、基板上のx座標とy座標とテーブル上のアドレスが対応するテーブルであるメッシュテーブルの形で内部データ格納部13へメッシュ単位で格納される。以後、

メッシュ単位で算出されるデータは、メッシュテーブル内の対応するアドレスへ格納される。

【0090】

次に、処理 S5 について説明する。波紋処理部 16 は、内部データ格納部 13 に格納されたメッシュテーブルと素子データを用いて波紋処理を行う。波紋処理とは、電源ペア領域において各々の素子から放射される電磁波の波紋を算出し、合成する処理である。波紋は素子の外形から広がり、素子の外形を波紋レベル 0 の波紋とすると、次に外側へ広げた波紋を波紋レベル 1 の波紋、n 回外側へ広げた波紋を波紋レベル n の波紋とする。また、波紋レベル 0 の波紋から波紋レベル 1 の波紋までの波紋の間隔を波紋レベル 0 の波紋ピッチ、波紋レベル n の波紋から波紋レベル n+1 の波紋までの波紋の間隔を波紋レベル n の波紋ピッチとする。

【0091】

ここでは、着目したメッシュ領域上に素子 a と素子 b が搭載される場合について説明する。素子 a の波紋における波紋レベル 0 の波紋ピッチ $P_{min_a}(0)$ は、素子 a の持つ T を用いて (1) 式と (2) 式から算出した P_{min} の値である。同様に、素子 b の波紋における波紋レベル 0 の波紋ピッチ $P_{min_b}(0)$ は、素子 b の持つ T を用いて (1) 式と (2) 式から算出した P_{min} の値である。また、n を 1 以上とすると、素子 a の波紋における波紋レベル n の波紋ピッチ $P_{min_a}(n)$ は、波紋レベル n-1 の波紋ピッチ $P_{min_a}(n-1)$ を用いて以下の (3) 式から更新される。

【0092】

$$P_{min\#a}(n) = [P_{min\#a}(n-1)^2 + K_d \times [S(n)^{(1/2)} - S(n-1)^{(1/2)}]]^{(1/2)}$$

... (3)

【0093】

ここで、 K_d は補正係数、 $S(n)$ はメッシュ領域のうち波紋レベル n の波紋の内側に存在するメッシュの面積である。同様に、素子 b の波紋における波紋レベル n の波紋ピッチ $P_{min_b}(n)$ は、(3) 式において、添え字 a を b と置き換えることにより求められる。

【0094】

次に、波紋処理のフローについて説明する。図15は、波紋処理のフローを示すフローチャートである。まず波紋処理部16は、内部データ格納部13に格納されたメッシュテーブルにおいて、1つの電源ペアグループに属する全てのメッシュ領域に着目し、着目したメッシュ領域を取得し(S31)、そのメッシュ領域に搭載される素子の素子データを取得する(S32)。次に、波紋ピッチを算出して比較し、波紋ピッチが小さい順に並べた素子の順位である波紋算出順位を決定する(S33)。

【0095】

次に、波紋ピッチが小さい素子から順に、波紋の算出と合成を行う(S34)。波紋レベル $n+1$ の波紋は、波紋レベル n の波紋に対して垂直に、波紋レベル n の波紋ピッチだけ広げた形状となる。図16は、最初の波紋の算出結果の一例を示す平面図である。ここでは、メッシュ領域220上に素子a300と素子b400が搭載され、 $P_{min_a}(0)$ が $P_{min_b}(0)$ よりも小さい場合であり、最初に素子a300から放射された波紋レベル1の波紋301が算出された結果を表す。

【0096】

また、図12に示したように、ある電源ペア空間から放射された電磁波は、同じ電源ペアグループに属する他の電源ペア空間へ伝搬するため、あるメッシュ領域における波紋が、別のメッシュ領域との境界まで達すると、そこから接しているメッシュ領域へ波紋を広げる。

【0097】

また、ある素子の波紋レベル n の波紋と別の素子の波紋レベル n の波紋が重なる場合、それらの外形を合成した外形を波紋レベル n の波紋とする。図17は、図16の状態から、さらに波紋処理を進めた状態を表しており、波紋レベル3までの波紋の算出結果の一例を示す平面図である。素子a300から放射された波紋レベル1の波紋301、波紋レベル2の波紋302、素子b400から放射された波紋レベル1の波紋401、波紋レベル2の波紋402が表されている。さらに、素子a300から放射された波紋レベル3の波紋と素子b400から放射

された波紋レベル 3 の波紋は重なることから、それらを合成した波紋レベル 3 の波紋 303 として表す。

【0098】

次に、着目したメッシュ領域における全ての素子について波紋を算出したか否かを判定し (S35)、まだ算出していない素子があれば (S35, No)、S34 へ戻る。全ての素子についての波紋を算出した後、波紋レベル $n-1$ の波紋と波紋レベル n の波紋の間に存在するメッシュを対象として、内部データ格納部 13 のメッシュテーブル内の対応するアドレスへ波紋レベル n を格納する (S36)。

【0099】

次に、着目したメッシュ領域全てに波紋が広がっているか否かの判定を行う (S37)。まだ波紋が広がっていない領域があれば (S37, No)、S32 へ戻る。着目したメッシュ領域全てに波紋が広がっていれば (S37, Yes)、フローを終了する。以上の処理に従って、波紋処理部 16 により抽出された波紋レベルは、メッシュ単位で内部データ格納部 13 へ格納される。

【0100】

ここで、波紋表示処理について説明する。波紋表示処理部 17 は、内部データ格納部 13 に格納されたメッシュテーブルの波紋レベルを用いて波紋表示処理を行う。この波紋表示処理によりユーザは電磁波の分布状況が分かり、ノイズ対策を行うべき場所を容易に特定できる。波紋を図形として表示部 34 へ表示する場合に、メッシュ単位で格納されている波紋レベルを塗りつぶし図形で描画すると、表示されるまでに時間を非常に要するという問題がある。この問題を解決するために、効率の良い最適なオーダーを作成する必要がある。本実施の形態における波紋表示処理は、波紋外形の座標を求め、1つの波紋に付き 1 オーダーとしてデータを作成し、全波紋のオーダーをまとめて描画することで、描画時間短縮を図る。

【0101】

図 18 は、波紋表示処理のフローを示すフローチャートである。まず、内部データ格納部 13 から波紋レベルを取得する (S41)。次に、波紋外形の基点を

決定する（S 4 2）。基点は、波紋外形の座標を探索する方向に従って決定される。右方向に探索する場合はメッシュの左下の座標を基点とし、上方向に探索する場合はメッシュの右下の座標を基点とし、左方向に探索する場合はメッシュの右上の座標を基点とし、下方向に探索する場合はメッシュの左上の座標を基点とする。以下、波紋外形の座標を右方向に探索する場合について説明する。

【0 1 0 2】

波紋外形の座標の探索は基点から開始し、基点に戻るまで行われる。現在点が基点ではない場合（S 4 3, No）、現在点の波紋レベルと隣接データの波紋レベルとの比較を行い、同レベルであるかを調査する（S 4 4）。調査の結果に応じて外形座標を取得し（S 4 5）、進行方向を決定し（S 4 6）、処理 S 4 3 へ戻る。外形座標を取得したメッシュに対しては、内部データ格納部 1 3 のメッシュテーブル内の対応するアドレスへ外形処理フラグを格納する。

【0 1 0 3】

図 1 9 は、各探索方向に対する調査順位を示す図である。図 1 9（a）～（d）において、①～⑦は調査順位を示す。図 1 9（a）は右方向、図 1 9（b）は上方向、図 1 9（c）は左方向、図 1 9（d）は下方向に探索する場合の調査順位を示す。ここでは波紋外形を右方向に探索するので、図 1 9（a）の図に従って隣接データの波紋レベルを①から調査する。

【0 1 0 4】

図 2 0 は、外形座標の位置を示す図である。図 2 0（a）～（g）において、太線は既に取得済みの外形座標を接続した線を示し、矢印の先は新たに取得する外形座標を示す。

【0 1 0 5】

隣接データ①の波紋レベルが同レベルである場合、隣接データ①の左上の座標を外形座標として取得し、進行方向を下方向に変更する（図 2 0（a））。

【0 1 0 6】

隣接データ②の波紋レベルが同レベルである場合、隣接データ②の左下の座標を外形座標として取得し、進行方向は変更しない（図 2 0（b））。

【0 1 0 7】

隣接データ③の波紋レベルが同レベルである場合、現在点の右下の座標を外形座標として取得した後、隣接データ③の左下、右下を外形座標として取得し、進行方向を上方向に変更する（図 2 0 （c））。

【0 1 0 8】

隣接データ④の波紋レベルが同レベルである場合、外形座標は取得せず、進行方向を下方向に変更する（図 2 0 （d））。

【0 1 0 9】

隣接データ⑤の波紋レベルが同レベルである場合、現在点の右下の座標を外形座標として取得した後、隣接データ⑤の右下を外形座標として取得し、進行方向を上方向に変更する（図 2 0 （e））。

【0 1 1 0】

隣接データ⑥の波紋レベルが同レベルである場合、現在点の右下、右上の座標を外形座標として取得した後、隣接データ⑥の右下を外形座標として取得し、進行方向を上方向に変更する（図 2 0 （f））。

【0 1 1 1】

隣接データ⑦の波紋レベルが同レベルである場合、現在点の右下、右上の座標を外形座標として取得した後、隣接データ⑦の右上を外形座標として取得し、進行方向を左方向に変更する（図 2 0 （g））。

【0 1 1 2】

以上は波紋外形を右方向に探索する場合について説明したが、上方向、左方向、下方向に探索する場合、それぞれの探索に用いる方向を 9 0 度ずつずらした方法で行えばよい。

【0 1 1 3】

現在点が終点である場合（S 4 3, Y e s）、終点座標を取得する（S 4 7）。現在点は基点とは一致しないため、現在点が基点付近に戻ってきた場合は、次の終点処理を行う。図 2 1 は、現在点と基点の関係を示す図である。基点に対して現在点が A 点にある場合、基点と現在点 A を結ぶために、（基点の X 座標, 基点の Y 座標）を波紋外形の座標として追加する。基点に対して現在点が B 点にある場合、基点と現在点 B を結ぶために、（基点の X 座標, 現在点の Y 座標）を波

紋外形の座標として追加し、さらに（基点の X 座標，基点の Y 座標）を波紋外形の座標として追加する。

【0114】

終点座標を取得後、波紋外形を生成する座標に従って波紋表示を行い（S48）、フローを終了する。以上の処理を全ての波紋に対して行うことにより、波紋表示処理部17は、表示部34へ波紋表示を行う。

【0115】

次に、処理S6について説明する。ノード配置処理部18は、内部データ格納部13に格納されたメッシュテーブルの波紋レベルを用いて、電源ノイズ解析モデルの要素となるノードを配置する。図22は、ノードが配置されたメッシュ領域の一例を示す平面図である。図22示す波紋は、図17で得られた波紋の一部である。ノードは、波紋レベル n の波紋と波紋レベル $n+1$ の波紋の間の領域において波紋ピッチの間隔で配置される。例えば、部品 a の波紋レベル n の波紋と波紋レベル $n+1$ の波紋の間の領域においては、 $P_{min_a}(n)$ の間隔で配置され、部品 b の波紋レベル n の波紋と波紋レベル $n+1$ の波紋の間の領域においては、 $P_{min_b}(n)$ の間隔で配置される。ノードが配置されたメッシュについては、内部データ格納部13のメッシュテーブル内の対応するアドレスへノードフラグが格納される。

【0116】

次に、処理S7について説明する。ノード領域決定処理部19は、内部データ格納部13に格納されたメッシュテーブルのノードフラグを用いて各ノードを囲む領域を決定する。

【0117】

次に、ノード領域決定処理のフローについて説明する。図23は、ノード領域決定処理のフローを示すフローチャートである。まず、対象領域の初期化を行う（S51）。対象領域とは、これからノード領域を抽出する対象となる電源ペア領域であり、最初の対象領域は電源ペア領域の全体とする。次に、全ノードについてノード領域が決定したか否かの判断を行う（S52）。全ノードについてノード領域が決定していれば（S52，Yes）、フローを終了する。一方、まだ

ノード領域が決定していないノードがあれば (S 5 2, No)、ノード領域を決定するノードの選択を行う (S 5 3)。ノードの選択は、基板の原点座標に近い順に選択され、選択されたノードを着目ノードとする。

【0118】

次に、着目ノードの近傍ノードを探索する (S 5 4)。ここでは、着目ノードを中心とした半径 r の円を描き、円のうち所定の角度の扇形の探索エリア毎に、探索エリア内に存在するノードの探索を行う。ここで半径 r は、対象領域を囲む矩形領域の最大辺長とし、所定の角度は例えば 30 度とする。

【0119】

図 2 4 は、対象領域を囲む矩形領域の一例を示す図である。図 2 4 に示すように、対象領域 501 を矩形領域 502 で囲んだとき、矩形領域の最大辺長が円の半径 r となる。

【0120】

図 2 5 は、近傍ノードの探索エリアの一例を示す図である。それぞれ 30 度の探索エリアに存在するノードのうち、着目ノードに 1 番近いノードを近傍ノードとする。9 個の探索エリア行うことにより、円内全ての近傍ノードが探索される。図 2 5 において、A は着目ノードであり、ノード B が存在する探索エリアにはノード D も存在するが、着目ノードに 1 番近いのはノード B であるので、探索された近傍ノードはノード B とノード C となる。

【0121】

次に、探索された近傍ノードを、さらに着目ノードに近い順に並べ替える (S 5 5)。その後、並べ替えた順に、着目ノードのノード領域の辺を求める処理を行う。ここでは、着目ノード A に対して 2 つの近傍ノード B, C が存在する場合について説明する。

【0122】

着目ノードのノード領域決定処理について、具体例を用いて説明する。図 2 6 は、着目ノードのノード領域決定処理の具体例を示す図である。まず、図 2 6 (a) に示すように、着目ノードに近い近傍ノード B から処理を行う。対象領域 511 において、着目ノード A と近傍ノード B の間に垂直 2 等分線を引く (S 5 7

)。垂直 2 等分線の長さは $2r$ とする。次に、垂直 2 等分線を 1 辺とする正方形 512 を作成する (S58)。ここで、正方形 512 を作成する方向は、その正方形が近傍ノード B を含み、着目ノード A を含まない方向とする。

【0123】

次に、対象領域 511 から正方形 512 との重なりを除くことにより、ノード領域の辺を算出する (S59)。図 26 (b) に示すように、対象領域 511 から正方形 512 を除いた結果、新たな対象領域 513 が作成される。

【0124】

近傍ノード C の処理がまだ残っているので (S56, No)、処理 S57 ~ 処理 S59 を近傍ノード C についても行う。図 26 (b) に示すように、着目ノード A と近傍ノード C の垂直 2 等分線を 1 辺とし、近傍ノード C を含む正方形 514 が作成される。図 26 (c) に示すように、対象領域 513 から正方形 514 を除いた結果、新たな対象領域 515 が作成され、最終的な対象領域 515 を着目ノード A のノード領域とする。以上に述べたように、着目ノードに対する全ての近傍ノードについて処理 S57 ~ 処理 S59 を行うことにより、1 つの着目ノードのノード領域が決定される。

【0125】

全近傍ノードについて、処理 S57 ~ 処理 S59 の処理を終了した場合 (S56, Yes)、電源ペア領域から着目ノードのノード領域を削除することで対象領域の更新を行い (S60)、処理 S52 に戻る。図 27 は、電源ペア領域に割り当てられたノード領域の一例を示す図である。図 27 に示すように、ノード 521, 522, 523, 524 のノード領域は、隣接するノードとの垂直 2 等分線で分割された領域となる。

【0126】

以上の処理に従って、ノード領域決定処理部により得られたノード領域は、ノード識別子として内部データ格納部のメッシュテーブルに格納される。例えば、ある電源ペア領域にノードが 3 つある場合、ノード領域を識別する 0 ~ 2 のノード識別子を用意して、同じノード領域を持つメッシュに同じノード識別子を付与する。

【0127】

次に、処理 S8 について説明する。LRC 決定処理部 20 は、内部データ格納部 13 に格納されたメッシュテーブルのノードフラグとノード識別子、電源ペア空間データを用いてノード間に接続される L（リアクタンス）と R（抵抗）と C（層間容量）の値を算出する。

【0128】

LRC 決定処理部 20 は、ノードフラグを用いてノード間の距離を算出し、ノード識別子を用いてノード領域面積を算出し、電源ペア空間データから電源層間距離を算出する。電源層間距離とは電源ペアの距離のことである。次に、LRC 決定処理部 20 は、ノード間の距離に応じて L と R を決定し、ノード領域面積と電源層間距離を用いて C を決定する。以上の処理に従って、LRC 決定処理部 20 により得られた LRC は、ノード間 LRC データとして内部データ格納部 13 へ格納される。

【0129】

次に、処理 S9 について説明する。電源層モデル生成処理部 21 は、内部データ格納部 13 に格納されたメッシュテーブルのノードフラグとノード間 LRC データを用いて電源層モデルの生成を行う。

【0130】

電源層モデル生成処理部 21 は、電源ペア毎に、ノード間を LRC で接続することにより、電源ペア毎の電源層モデルを生成する。図 28 は、電源層モデルの一例を示す図である。図 28 の電源層モデルは、図 27 の電源ペア領域に割り当てられたノード領域を用いて、L と R と C でモデル化したものである。L と R は電源ペア上面 520 上のノード間に配置され、電源ペア下面 530 上のノード間にも配置される。C は電源ペア上面 520 と電源ペア下面 530 の同じ位置のノード間に配置される。以上の処理により得られた電源層モデルは電源ノイズ解析モデル格納部 22 へ格納される。

【0131】

次に、処理 S10 について説明する。電源ノイズ解析モデル生成処理部 23 は、内部データ格納部 13 に格納された引き出しパターンデータと via パターン

データ、電源ノイズ解析モデル格納部に格納された電源層モデルを用いて電源ノイズ解析モデルの生成を行う。具体的には、via パターンデータと電源層モデルと引き出しパターンデータを接続することにより、電源ノイズ解析モデルを生成する。以上の処理により得られた電源ノイズ解析モデルは、電源ノイズ解析モデル格納部 22 へ格納される。電源ノイズ解析モデル格納部 22 へ格納された電源ノイズ解析モデルを用いて、回路シミュレータ 3 が回路シミュレーションを行うことにより、電源ノイズを解析する。

【0132】

以上、本実施の形態では、電源ノイズ解析モデルの生成について説明したが、電源ノイズ解析モデル生成処理部 23 がさらに内部データ格納部 13 から素子データを取得し、上述した電源ノイズ解析モデルに素子データを接続することにより、全回路モデルを生成し、電源ノイズ解析モデル格納部 22 へ全回路モデルを格納するようにしても良い。この場合は、電源ノイズ解析を考慮した全回路のシミュレーションを行うことができる。

【0133】

(付記 1) 回路基板における電源層をモデル化する電源ノイズ解析モデル生成装置であって、

基板形状とパターン形状と素子の情報からなる CAD データを取得する CAD データ取得部と、

前記 CAD データを、電源島パターンデータと素子データと引き出しパターンデータと via パターンデータに変換する CAD データ変換処理部と、

異なる層に存在する 2 つの電源島が重なる場合に前記 2 つの電源島を電源ペアとして抽出する電源ペア抽出処理部と、

基板の平面上のうち前記電源ペアが占める領域である電源ペア領域の上に複数のノードを配置するノード配置処理部と、

前記ノードを囲む領域であるノード領域を決定するノード領域決定処理部と、

前記ノード間をインピーダンスとして表すインピーダンスパラメータを決定するインピーダンスパラメータ決定処理部と、

前記インピーダンスパラメータを用いて前記ノード間を接続し、電源層モデル

を生成する電源層モデル生成処理部と、

前記電源層モデルと前記引き出しパターンデータと前記 v i a パターンデータを接続し、電源ノイズ解析モデルを生成する電源ノイズ解析モデル生成処理部と

を備えてなる電源ノイズ解析モデル生成装置。

(付記 2) 付記 1 に記載の電源ノイズ解析モデル生成装置において、

前記インピーダンスパラメータは、L と R と C であることを特徴とする電源ノイズ解析モデル生成装置。

(付記 3) 付記 1 または付記 2 に記載の電源ノイズ解析モデル生成装置において

前記電源ペア抽出処理部は、着目した電源ペアに挟まれた空間である電源ペア空間に接するまたは重なる電源ペア空間を持つ他の電源ペアがある場合に、前記着目した電源ペアと前記他の電源ペアをグループとすることを特徴とする電源ノイズ解析モデル生成装置。

(付記 4) 付記 1 乃至付記 3 のいずれかに記載の電源ノイズ解析モデル生成装置において、

さらに、各素子から前記電源ペア領域に放射される電磁波の波面である波紋を前記電源ペア領域の上に配置する波紋処理部を備え、

前記ノード配置処理部は、前記波紋のピッチに基づいてノードを配置することを特徴とする電源ノイズ解析モデル生成装置。

(付記 5) 付記 4 に記載の電源ノイズ解析モデル生成装置において、

前記波紋処理部は、前記電源ペア領域の上に搭載される素子の立ち上がり時間または立ち下がり時間と、前記素子の最大動作周波数と、波紋の領域の面積とを用いて波紋の間隔を算出することを特徴とする電源ノイズ解析モデル生成装置。

(付記 6) 付記 4 または付記 5 に記載の電源ノイズ解析モデル生成装置において

前記波紋処理部は、グループに属する電源ペアの電源ペア領域へ波紋を広げることが特徴とする電源ノイズ解析モデル生成装置。

(付記 7) 付記 4 乃至付記 6 のいずれかに記載の電源ノイズ解析モデル生成装置

において、

さらに、前記波紋の外形座標を探索し、該外形座標を用いて波紋の表示を行う波紋表示処理部を備えることを特徴とする電源ノイズ解析モデル生成装置。

(付記 8) 付記 1 乃至付記 7 に記載の電源ノイズ解析モデル生成装置において、

さらに、搭載される素子のうち動作周波数の高い素子の波長に基づくメッシュを用いて、前記電源ペア領域を分割するメッシュ分割処理部を備えたことを特徴とする電源ノイズ解析モデル生成装置。

(付記 9) 付記 8 に記載の電源ノイズ解析モデル生成装置において、

さらに、基板上の座標とアドレスが対応するテーブルに、前記メッシュ毎の情報を格納する内部データ格納部を備えたことを特徴とする電源ノイズ解析モデル生成装置。

(付記 10) 付記 9 に記載の電源ノイズ解析モデル生成装置において、

前記メッシュ毎の情報は、素子から当該メッシュまでの波紋の数を表す波紋レベルと、当該メッシュにおけるノードの有無と、当該メッシュが属するノード領域を表すノード領域識別子の少なくともいずれか 1 つを含むことを特徴とする電源ノイズ解析モデル生成装置。

(付記 11) 付記 1 乃至付記 10 のいずれかに記載の電源ノイズ解析モデル生成装置において、

前記ノード領域決定処理部は、着目したノードを中心とする所定の半径の扇形において、前記着目したノードに最も近いノードを近傍ノードとし、前記着目したノードの周りに前記扇形を回転させて近傍ノードを探索することを特徴とする電源ノイズ解析モデル生成装置。

(付記 12) 付記 11 に記載の電源ノイズ解析モデル生成装置において、

前記ノード領域決定処理部は、前記着目したノードと前記近傍ノードの間の垂直 2 等分線を 1 辺とし、且つ前記近傍ノードを含む正方形を電源ペア領域から削除することにより、前記着目したノードのノード領域の辺を決定し、前記着目したノードに近い順に全ての近傍ノードに対するノード領域の辺を決定することにより、前記着目したノードのノード領域を決定することを特徴とする電源ノイズ解析モデル生成装置。

(付記 13) 付記 1 乃至付記 12 のいずれかに記載の電源ノイズ解析モデル生成装置において、

前記インピーダンスパラメータ決定処理部は、ノード間の距離に基づいて L と R を決定し、ノード領域の面積と電源層間の距離を用いて C を決定し、

前記電源層モデル生成処理部は、L と R を電源ペア上面の上のノード間と、電源ペア下面の上のノード間に配置し、C を電源ペア上面と電源ペア下面の同じ位置のノード間に配置することを特徴とする電源ノイズ解析モデル生成装置。

(付記 14) 付記 1 乃至付記 13 のいずれかに記載の電源ノイズ解析モデル生成装置において、

前記電源ノイズ解析モデルを格納する電源ノイズ解析モデル格納部をさらに備えることを特徴とする電源ノイズ解析モデル生成装置。

(付記 15) 付記 1 乃至付記 14 のいずれかに記載の電源ノイズ解析モデル生成装置において、

前記電源ノイズ解析モデル生成処理部は、さらに前記電源ノイズ解析モデルに前記素子データを接続した全回路モデルを生成し、前記電源ノイズ解析モデル格納部へ前記全回路モデルを格納することを特徴とする電源ノイズ解析モデル生成装置。

(付記 16) 回路基板における電源層をモデル化する電源ノイズ解析モデル生成装置であって、

前記回路基板を示すデータから層方向に重なる異なる 2 つの電源層を電源ペアとして抽出する電源ペア抽出処理部と、

前記抽出された電源ペアを用いて電源ノイズ解析モデルを生成する電源ノイズ解析モデル生成処理部と、

を備えてなる電源ノイズ解析モデル生成装置。

(付記 17) 回路基板における電源層をモデル化する電源ノイズ解析モデル生成方法であって、

基板形状とパターン形状と素子の情報からなる CAD データを取得するステップと、

前記 CAD データを、電源島パターンデータと素子データと引き出しパターン

データと v i a パターンデータに変換するステップと、

異なる層に存在する 2 つの電源島が重なる場合に前記 2 つの電源島を電源ペアとして抽出するステップと、

基板の平面上のうち前記電源ペアが占める領域である電源ペア領域の上に複数のノードを配置するステップと、

前記ノードを囲む領域であるノード領域を決定するステップと、

前記ノード間をインピーダンスとして表すインピーダンスパラメータを決定するステップと、

前記インピーダンスパラメータを用いて前記ノード間を接続し、電源層モデルを生成するステップと、

前記電源層モデルと前記引き出しパターンデータと前記 v i a パターンデータを接続し、電源ノイズ解析モデルを生成するステップと、

を備えてなる電源ノイズ解析モデル生成方法。

(付記 18) 付記 17 に記載の電源ノイズ解析モデル生成方法において、

前記インピーダンスパラメータは、L と R と C であることを特徴とする電源ノイズ解析モデル生成方法。

(付記 19) 付記 17 または付記 18 に記載の電源ノイズ解析モデル生成方法において、

前記電源ペアを抽出するステップは、着目した電源ペアに挟まれた空間である電源ペア空間に接するまたは重なる電源ペア空間を持つ他の電源ペアがある場合に、前記着目した電源ペアと前記他の電源ペアをグループとすることを特徴とする電源ノイズ解析モデル生成方法。

(付記 20) 付記 17 乃至付記 19 のいずれかに記載の電源ノイズ解析モデル生成方法において、

さらに、各素子から前記電源ペア領域に放射される電磁波の波面である波紋を電源ペア領域の上に配置するステップを備え、

前記ノードを配置するステップは、前記波紋のピッチに基づいてノードを配置することを特徴とする電源ノイズ解析モデル生成方法。

(付記 21) 付記 20 に記載の電源ノイズ解析モデル生成方法において、

前記波紋を配置するステップは、電源ペア領域の上に搭載される素子の立ち上がり時間または立ち下がり時間と、前記素子の最大動作周波数と、波紋の領域の面積とを用いて波紋を算出することを特徴とする電源ノイズ解析モデル生成方法。

(付記 22) 付記 20 または付記 21 に記載の電源ノイズ解析モデル生成方法において、

前記波紋を配置するステップは、グループに属する電源ペアの電源ペア領域へ波紋を広げることを特徴とする電源ノイズ解析モデル生成方法。

(付記 23) 付記 20 乃至付記 22 のいずれかに記載の電源ノイズ解析モデル生成方法において、

さらに、前記波紋の外形座標を探索し、該外形座標を用いて波紋の表示を行うステップを備えることを特徴とする電源ノイズ解析モデル生成方法。

(付記 24) 付記 17 乃至付記 23 に記載の電源ノイズ解析モデル生成方法において、

さらに、搭載される素子のうち動作周波数の高い素子の波長に基づくメッシュを用いて、前記電源ペア領域を分割するステップを備えたことを特徴とする電源ノイズ解析モデル生成方法。

(付記 25) 付記 24 に記載の電源ノイズ解析モデル生成方法において、

さらに、基板上の座標とアドレスが対応するテーブルに、前記メッシュ毎の情報を格納するステップを備えたことを特徴とする電源ノイズ解析モデル生成方法。

(付記 26) 付記 25 に記載の電源ノイズ解析モデル生成装置において、

前記メッシュ毎の情報は、素子から当該メッシュまでの波紋の数を表す波紋レベルと、当該メッシュにおけるノードの有無と、当該メッシュが属するノード領域を表すノード領域識別子の少なくともいずれか 1 つを含むことを特徴とする電源ノイズ解析モデル生成方法。

(付記 27) 回路基板における電源層をモデル化する電源ノイズ解析モデル生成方法であって、

前記回路基板を示すデータから層方向に重なる異なる 2 つの電源層を電源ペア

として抽出する電源ペア抽出するステップと、

前記抽出された電源ペアを用いて電源ノイズ解析モデルを生成するステップと

を備えてなる電源ノイズ解析モデル生成方法。

(付記 28) 回路基板における電源層のモデル化をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された電源ノイズ解析モデル生成プログラムであって、

基板形状とパターン形状と素子の情報からなる CAD データを取得するステップと、

前記 CAD データを、電源島パターンデータと素子データと引き出しパターンデータと via パターンデータに変換するステップと、

異なる層に存在する 2 つの電源島が重なる場合に前記 2 つの電源島を電源ペアとして抽出するステップと、

基板の平面上のうち前記電源ペアが占める領域である電源ペア領域の上に複数のノードを配置するステップと、

前記ノードを囲む領域であるノード領域を決定するステップと、

前記ノード間をインピーダンスとして表すインピーダンスパラメータを決定するステップと、

前記インピーダンスパラメータを用いて前記ノード間を接続し、電源層モデルを生成するステップと、

前記電源層モデルと前記引き出しパターンデータと前記 via パターンデータを接続し、電源ノイズ解析モデルを生成するステップと、

をコンピュータに実行させることを特徴とする電源ノイズ解析モデル生成プログラム。

(付記 29) 付記 28 に記載の電源ノイズ解析モデル生成プログラムにおいて、

前記インピーダンスパラメータは、L と R と Cであることを特徴とする電源ノイズ解析モデル生成プログラム。

(付記 30) 付記 28 または付記 29 に記載の電源ノイズ解析モデル生成プログラムにおいて、

前記電源ペアを抽出するステップは、着目した電源ペアに挟まれた空間である電源ペア空間に接するまたは重なる電源ペア空間を持つ他の電源ペアがある場合に、前記着目した電源ペアと前記他の電源ペアをグループとすることを特徴とする電源ノイズ解析モデル生成プログラム。

(付記 3 1) 付記 2 8 乃至付記 3 0 のいずれかに記載の電源ノイズ解析モデル生成プログラムにおいて、

さらに、各素子から前記電源ペア領域に放射される電磁波の波面である波紋を電源ペア領域の上に配置することをコンピュータに実行させるステップを備え、

前記ノードを配置するステップは、前記波紋のピッチに基づいてノードを配置することを特徴とする電源ノイズ解析モデル生成プログラム。

(付記 3 2) 付記 3 1 に記載の電源ノイズ解析モデル生成プログラムにおいて、

前記波紋を配置するステップは、電源ペア領域の上に搭載される素子の立ち上がり時間または立ち下がり時間と、前記素子の最大動作周波数と、波紋の領域の面積とを用いて波紋を算出することを特徴とする電源ノイズ解析モデル生成プログラム。

(付記 3 3) 付記 3 1 または付記 3 2 に記載の電源ノイズ解析モデル生成プログラムにおいて、

前記波紋を配置するステップは、グループに属する電源ペアの電源ペア領域へ波紋を広げることを特徴とする電源ノイズ解析モデル生成プログラム。

(付記 3 4) 付記 3 1 乃至付記 3 3 のいずれかに記載の電源ノイズ解析モデル生成プログラムにおいて、

さらに、前記波紋の外形座標を探索し、該外形座標を用いて波紋の表示を行うことをコンピュータに実行させるステップを備えることを特徴とする電源ノイズ解析モデル生成プログラム。

(付記 3 5) 付記 2 8 乃至付記 3 4 に記載の電源ノイズ解析モデル生成プログラムにおいて、

さらに、搭載される素子のうち動作周波数の高い素子の波長に基づくメッシュを用いて、前記電源ペア領域を分割することをコンピュータに実行させるステップを備えたことを特徴とする電源ノイズ解析モデル生成プログラム。

(付記 36) 付記 35 に記載の電源ノイズ解析モデル生成プログラムにおいて、さらに、基板上の座標とアドレスが対応するテーブルに、前記メッシュ毎の情報を格納することをコンピュータに実行させるステップを備えたことを特徴とする電源ノイズ解析モデル生成プログラム。

(付記 37) 付記 36 に記載の電源ノイズ解析モデル生成プログラムにおいて、前記メッシュ毎の情報は、素子から当該メッシュまでの波紋の数を表す波紋レベルと、当該メッシュにおけるノードの有無と、当該メッシュが属するノード領域を表すノード領域識別子の少なくともいずれか 1 つを含むことを特徴とする電源ノイズ解析モデル生成プログラム。

(付記 38) 回路基板における電源層のモデル化をコンピュータに実行させるために、コンピュータにより読取可能な媒体に記憶された電源ノイズ解析モデル生成プログラムであって、

前記回路基板を示すデータから層方向に重なる異なる 2 つの電源層を電源ペアとして抽出する電源ペア抽出するステップと、

前記抽出された電源ペアを用いて電源ノイズ解析モデルを生成するステップと、

をコンピュータに実行させることを特徴とする電源ノイズ解析モデル生成プログラム。

【0134】

【発明の効果】

以上に詳述したように本発明によれば、異なる電源層に存在する 2 つの電源島を用いて構成される電源ペアを元に、電界、磁界の影響を考慮した電源ノイズ解析モデルを生成することにより、回路基板を製造する前に、実際の回路基板の動作に近い高精度な電源ノイズ解析を行うことができる。また、電源ノイズ解析に必要な基板の電源層モデルを高速に作成することができる。

【図面の簡単な説明】

【図 1】

回路設計システムの構成例を示すブロック図である。

【図 2】

本実施の形態における電源ノイズ解析モデル生成装置がモデル化の対象とする回路基板の構成例を示す図である。

【図 3】

本実施の形態における電源ノイズ解析モデル生成装置のハードウェアの構成例を示すブロック図である。

【図 4】

本実施の形態における電源ノイズ解析モデル生成装置のソフトウェアの構成例を示すブロック図である。

【図 5】

本実施の形態における電源ノイズ解析モデル生成装置の処理を示すフローチャートである。

【図 6】

電源ペアの一例を示す断面図である。

【図 7】

電源ペア抽出処理のフローを示すフローチャートである。

【図 8】

電源層に複数の電源島がある回路基板の構成例を示す図である。

【図 9】

電源ペア抽出処理の一例を示す図である。

【図 10】

電源層に包含される電源島がある回路基板の構成例を示す図である。

【図 11】

電源ペア抽出処理の他の一例を示す図である。

【図 12】

隣接する電源ペア空間に対する電磁波の影響を示す断面図である。

【図 13】

電源ペアグループ抽出処理のフローを示すフローチャートである。

【図 14】

電源ペア領域の算出結果の一例を表す図である。

【図 1 5】

波紋処理のフローを示すフローチャートである。

【図 1 6】

最初の波紋の算出結果の一例を示す平面図である。

【図 1 7】

3 次の波紋の算出結果の一例を示す平面図である。

【図 1 8】

波紋表示処理のフローを示すフローチャートである。

【図 1 9】

各探索方向に対する調査順位を示す図である。

【図 2 0】

外形座標の位置を示す図である。

【図 2 1】

現在点と基点の関係を示す図である。

【図 2 2】

ノードが配置されたメッシュ領域の一例を示す平面図である。

【図 2 3】

ノード領域決定処理のフローを示すフローチャートである。

【図 2 4】

対象領域を囲む矩形領域の一例を示す図である。

【図 2 5】

近傍ノードの探索エリアの一例を示す図である。

【図 2 6】

着目ノードのノード領域決定処理の具体例を示す図である。

【図 2 7】

電源ペア領域に割り当てられたノード領域の一例を示す図である。

【図 2 8】

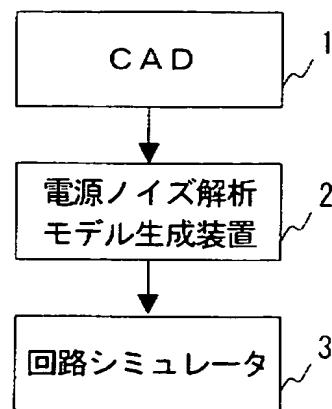
電源層モデルの一例を示す図である。

【符号の説明】

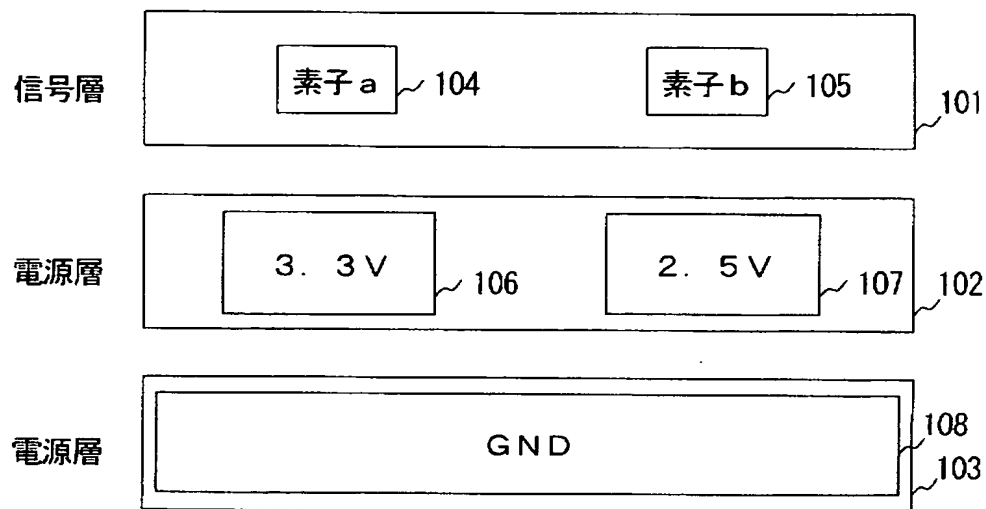
1. CAD、2 電源ノイズ解析モデル生成装置、3 回路シミュレータ、1
1 CADデータ取得部、12 CADデータ変換処理部、13 内部データ格
納部、14 電源ペア抽出処理部、15 メッシュ分割処理部、16 波紋処理
部、17 波紋表示処理部、18 ノード配置処理部、19 ノード領域決定処
理部、20 LRC決定処理部、21 電源層モデル生成処理部、22 電源ノ
イズ解析モデル格納部、23 電源ノイズ解析モデル生成処理部、31 入力部
、32 記憶部、33 処理部、34 表示部、101 信号層、102, 10
3, 121, 122, 123, 141, 142, 143 電源層、104, 30
0 素子a、105, 400 素子b、106, 107, 108, 113, 11
4, 124, 125, 126, 127, 128, 144, 145, 146, 14
7 電源島、109, 110, 111, 112 via、115, 131, 13
2, 133, 134, 135, 151, 152, 161, 162, 163, 20
3 電源ペア空間、148 打ち抜き穴、201, 520 電源ペア上面、20
2, 530 電源ペア下面、210 電源ペア領域、211 基板、220 メ
ッシュ領域、301, 401 波紋レベル1の波紋、302, 402 波紋レベ
ル2の波紋、303 波紋レベル3の波紋、501, 511, 513, 515
対象領域、502 矩形領域、512, 514 正方形、521, 522, 52
3, 524 ノード。

【書類名】、 図面

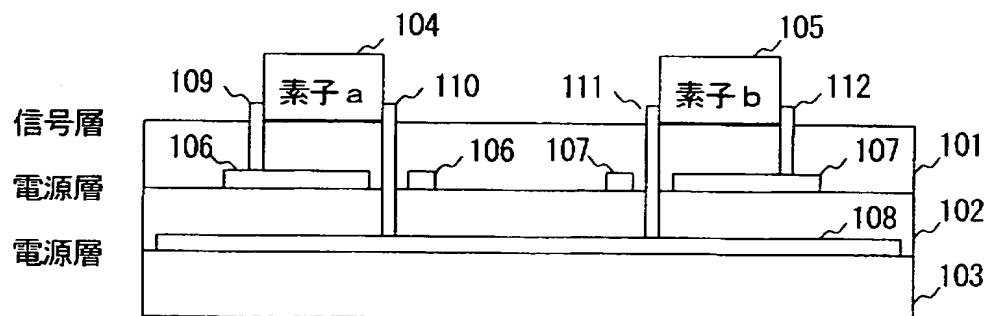
【図 1】



【図 2】

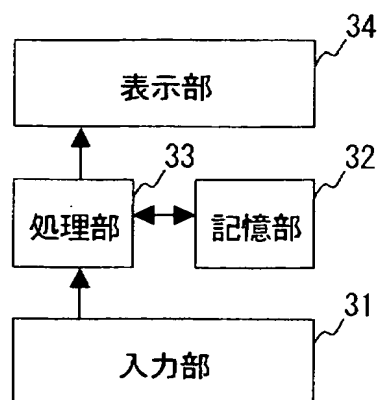


(a) 平面図

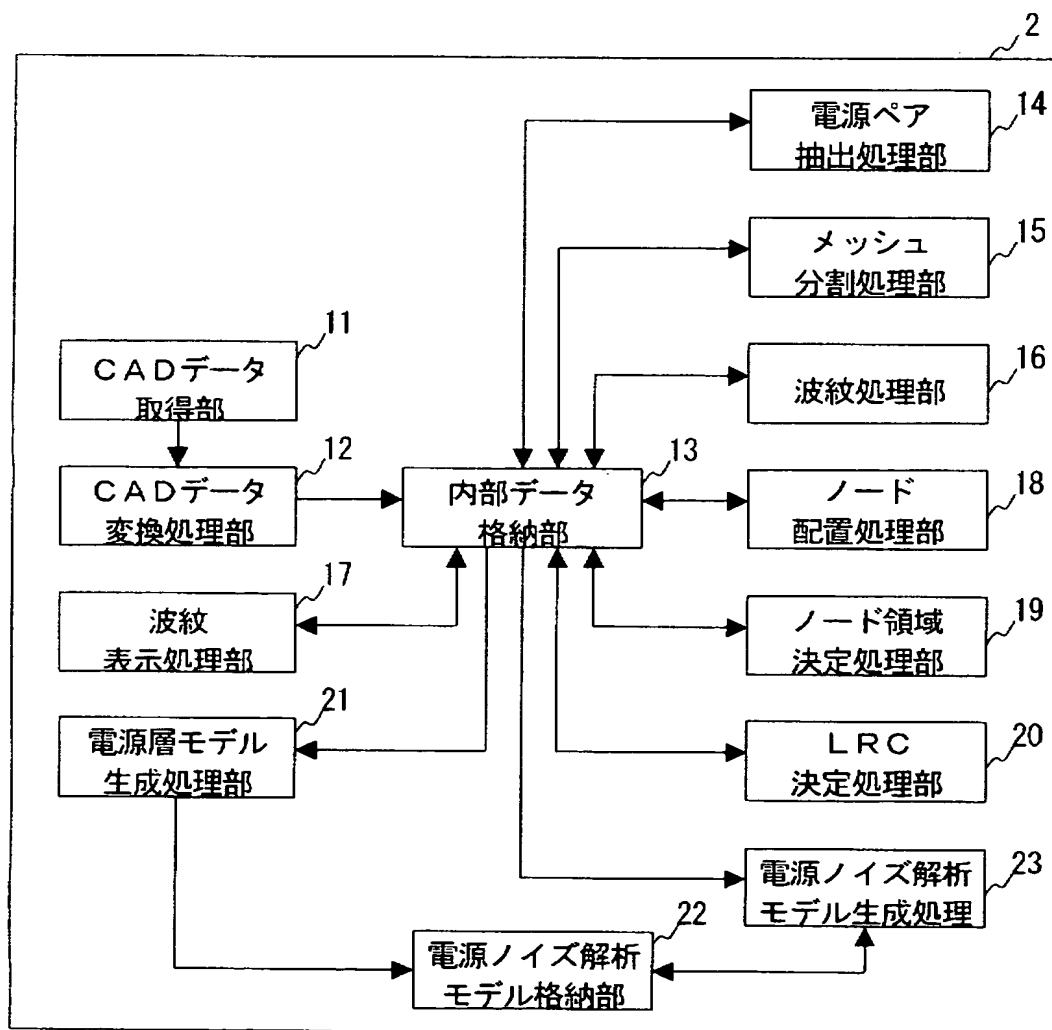


(b) 断面図

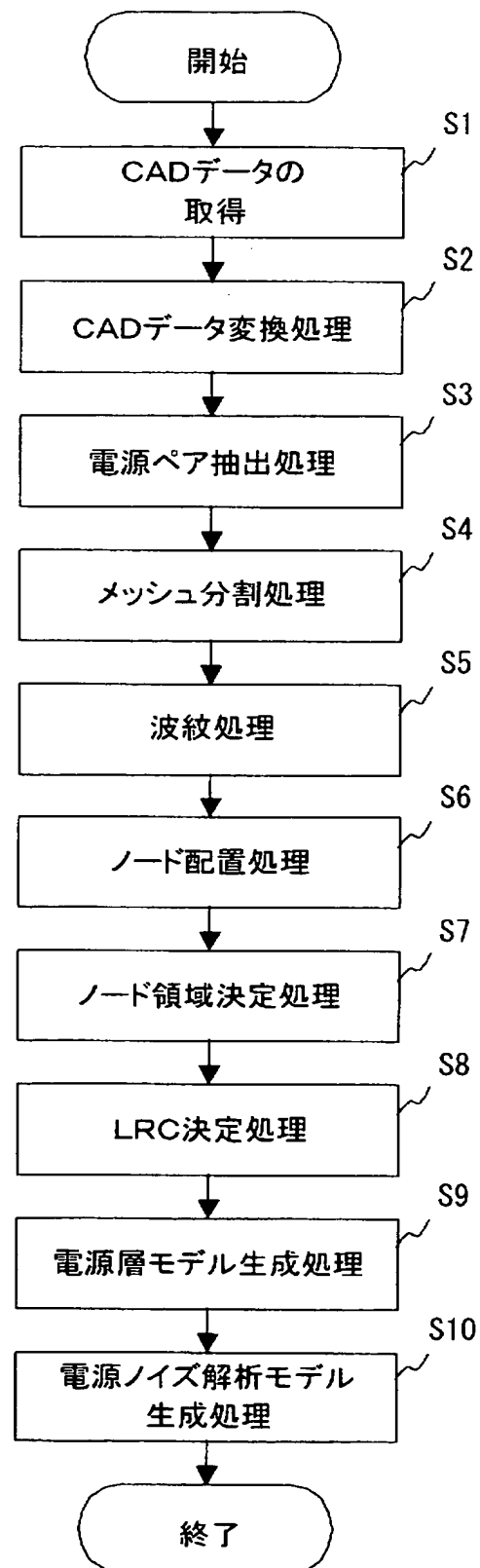
【図 3】



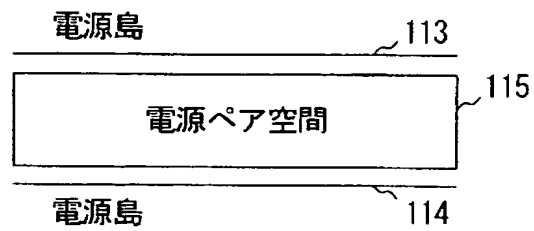
【図 4】



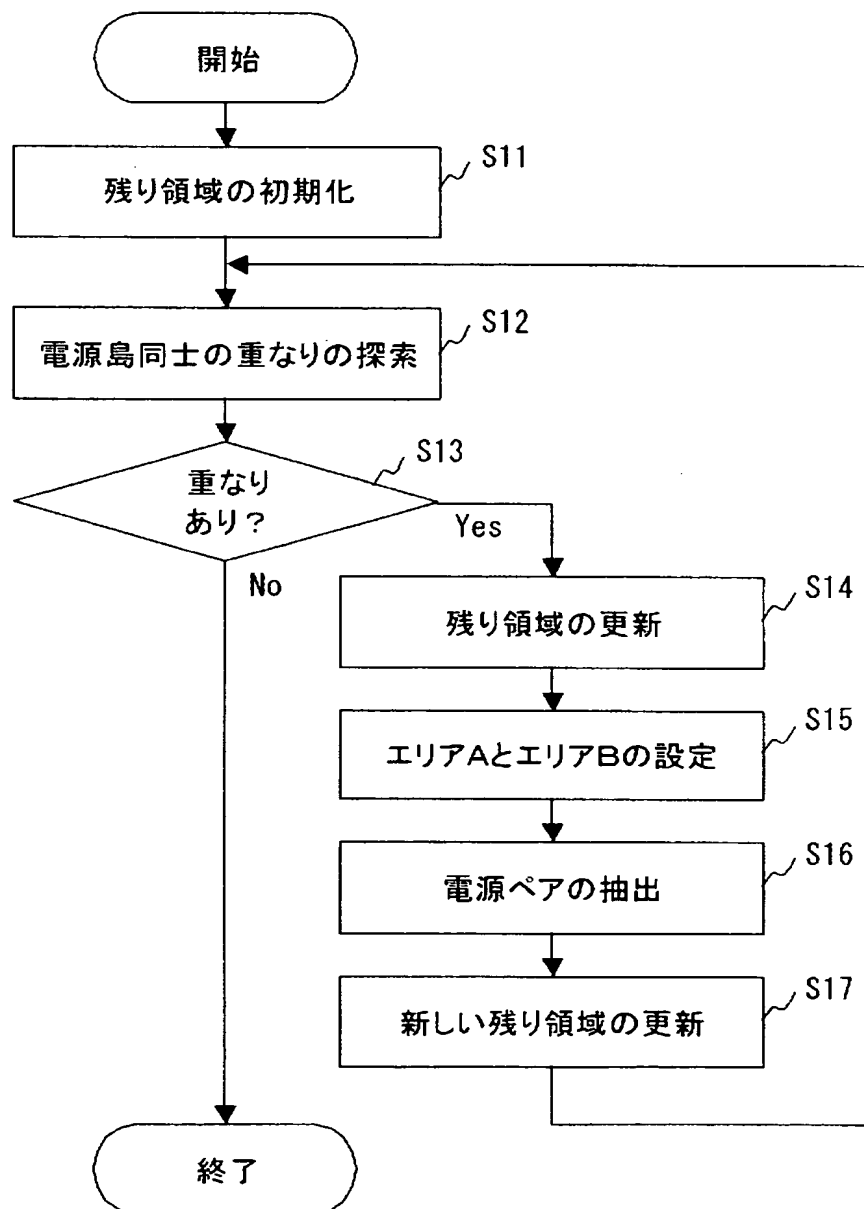
【図5】



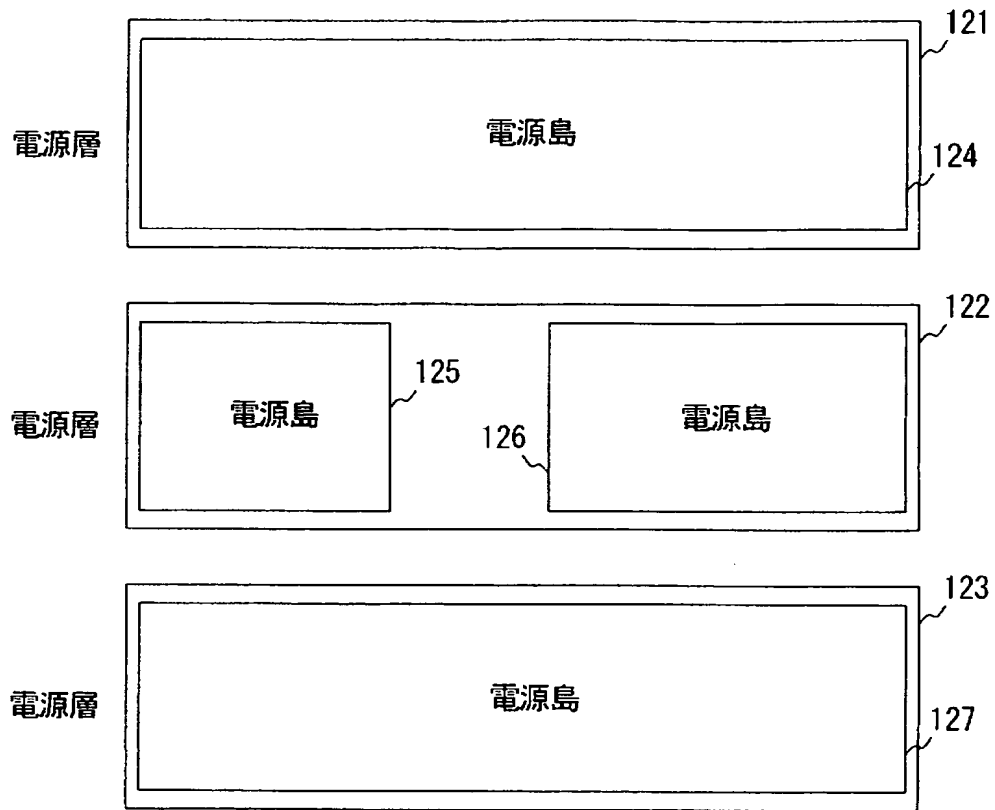
【図 6】



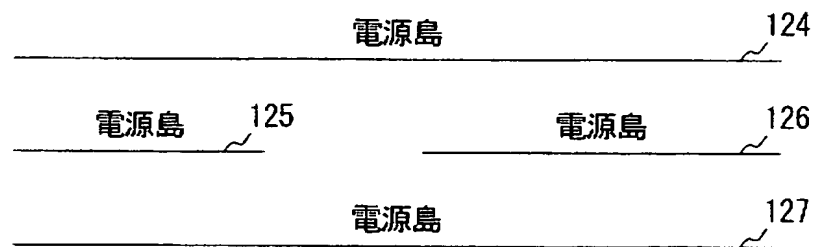
【図 7】



【図 8】

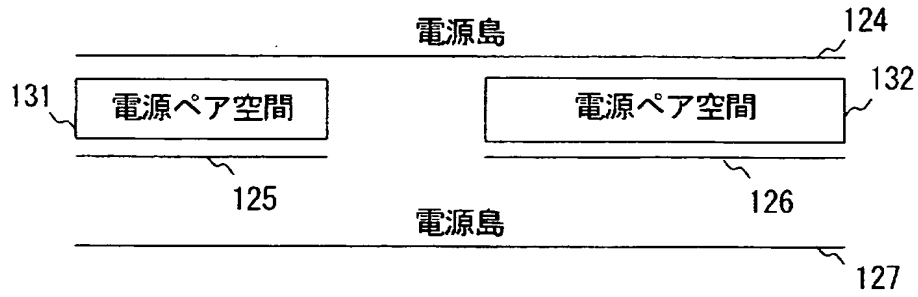


(a) 平面図

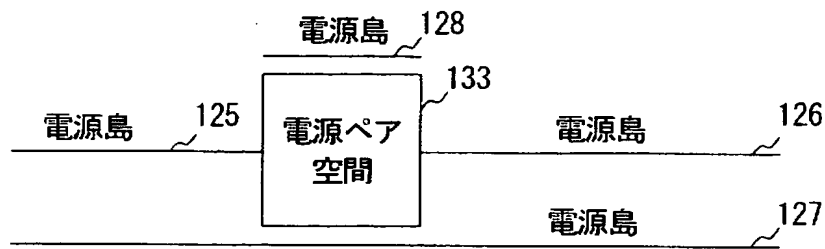


(b) 断面図

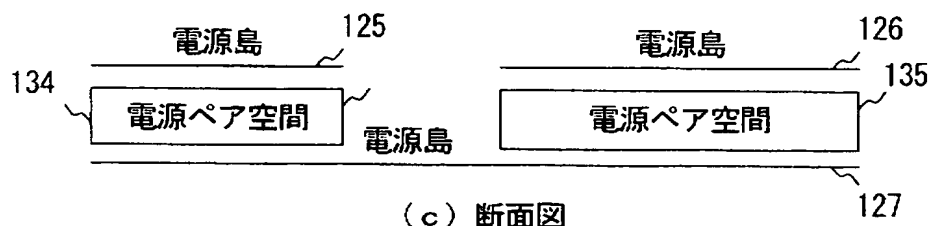
【図 9】



(a) 断面図

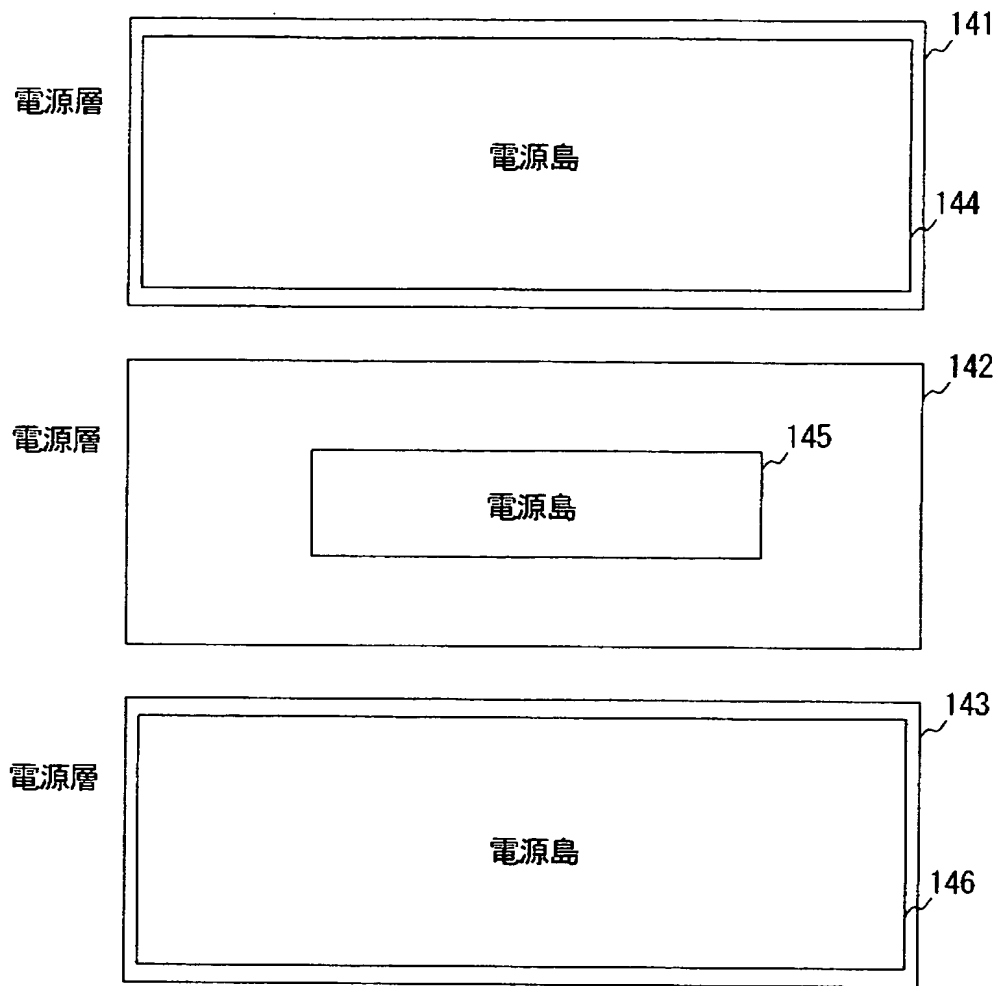


(b) 断面図

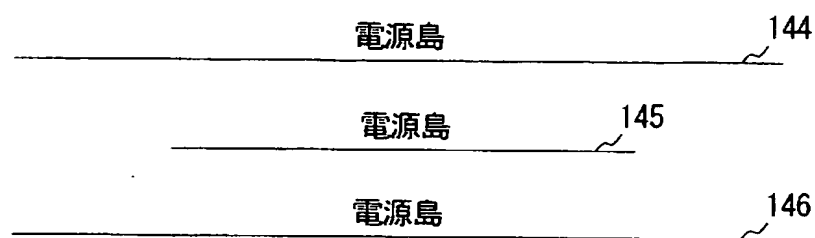


(c) 断面図

【図10】

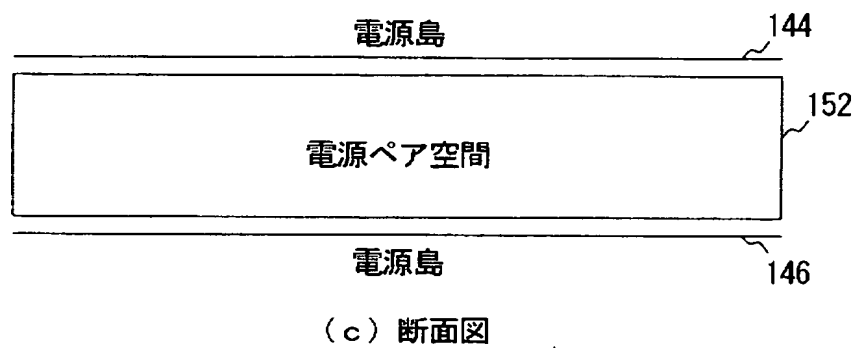
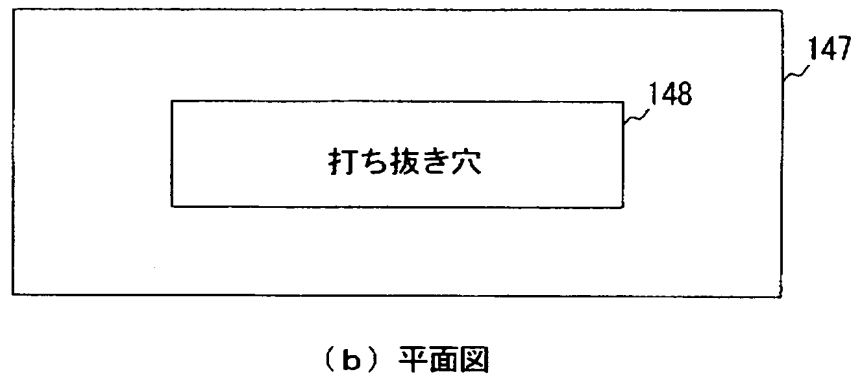
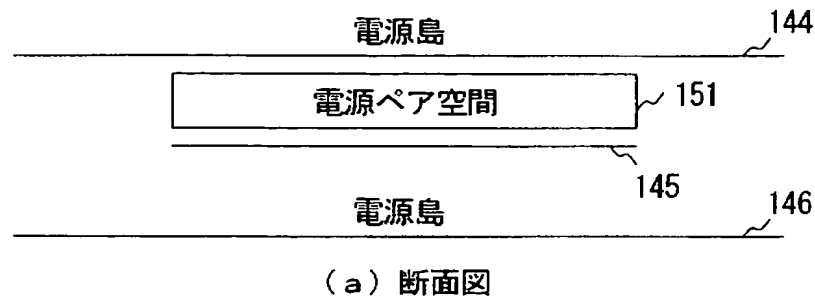


(a) 平面図

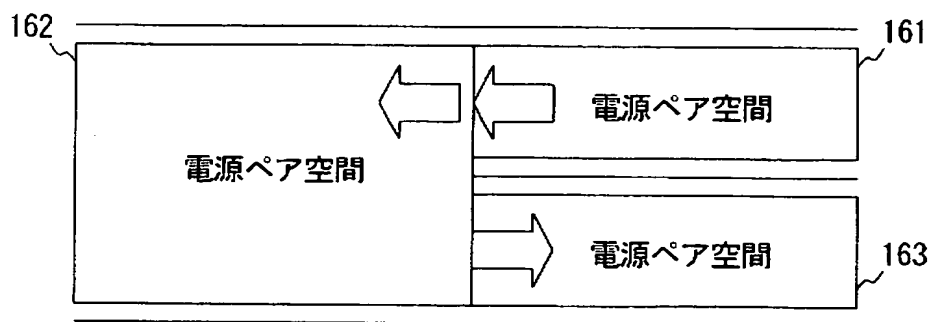


(b) 断面図

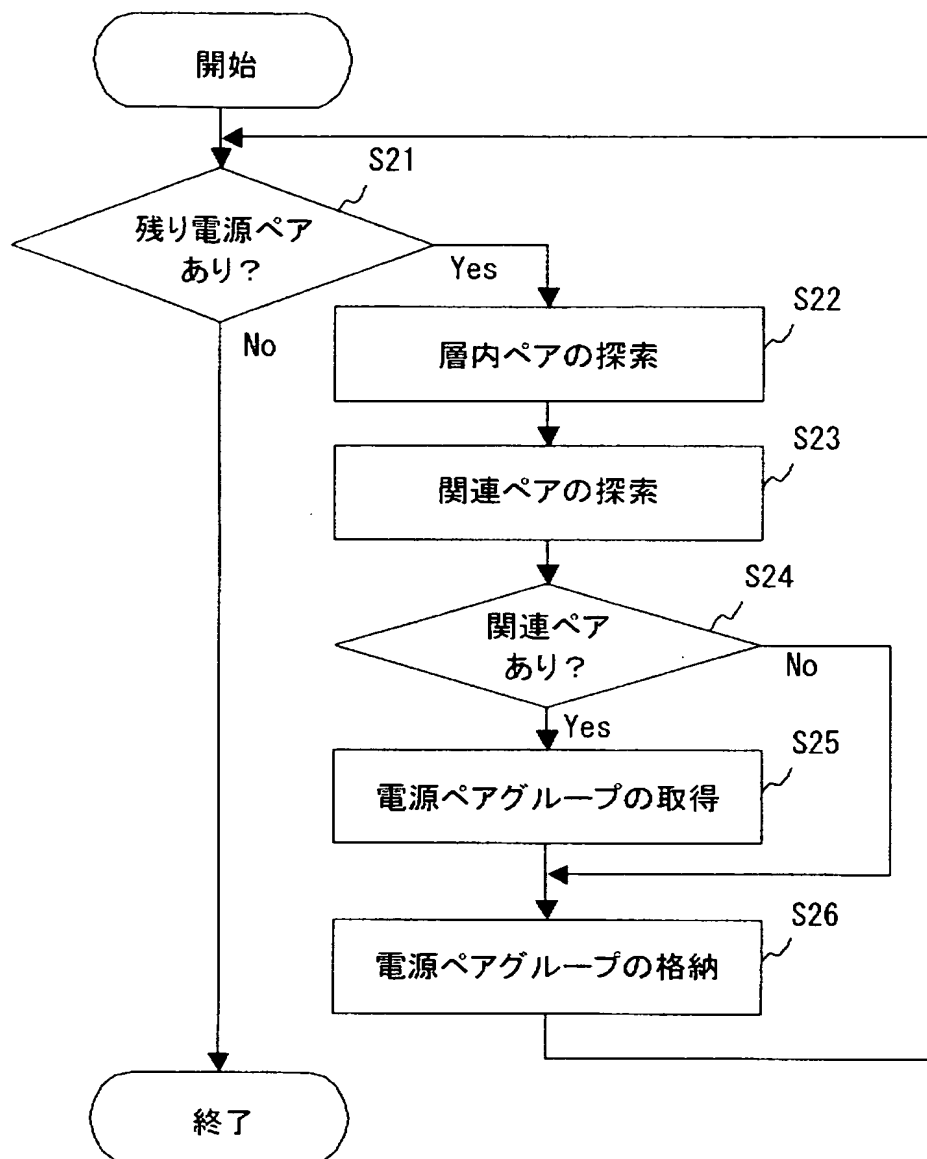
【図 11】



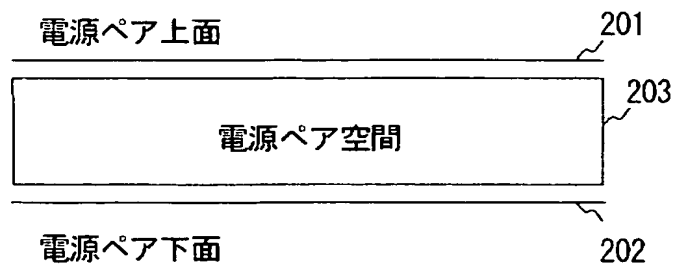
【図 12】



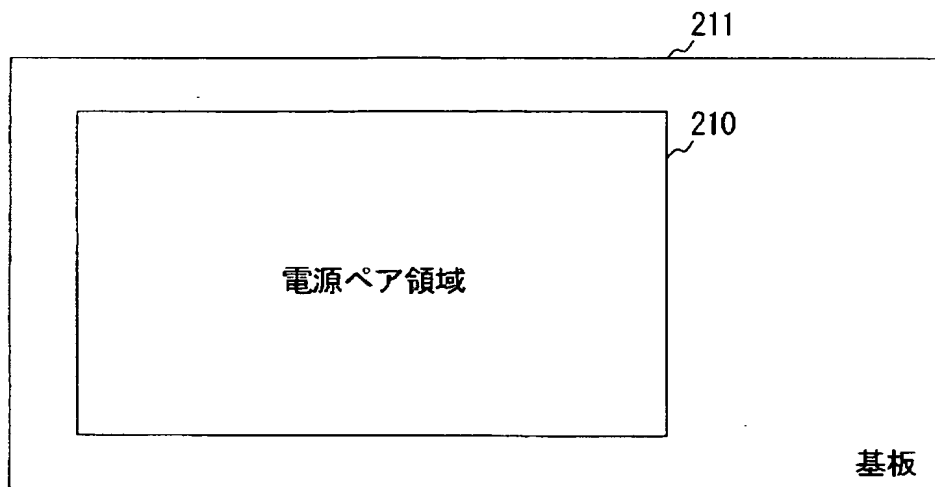
【図 13】



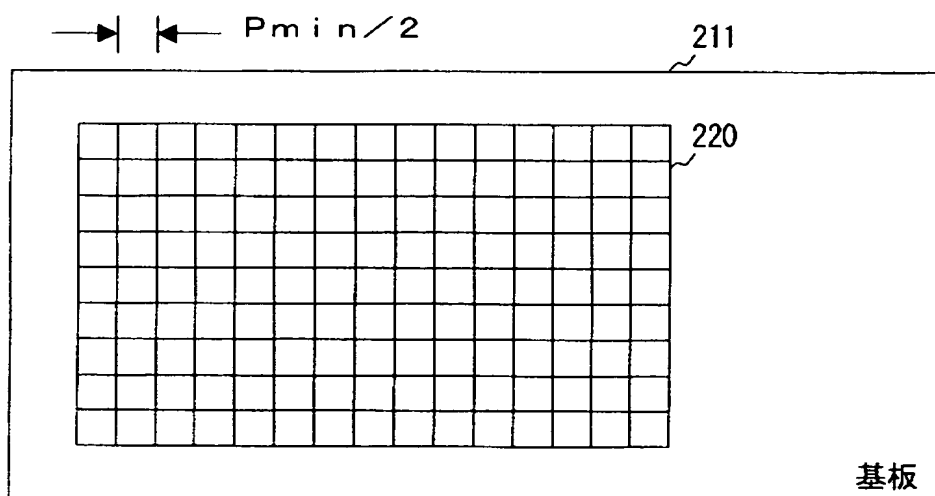
【図 14】



(a) 断面図

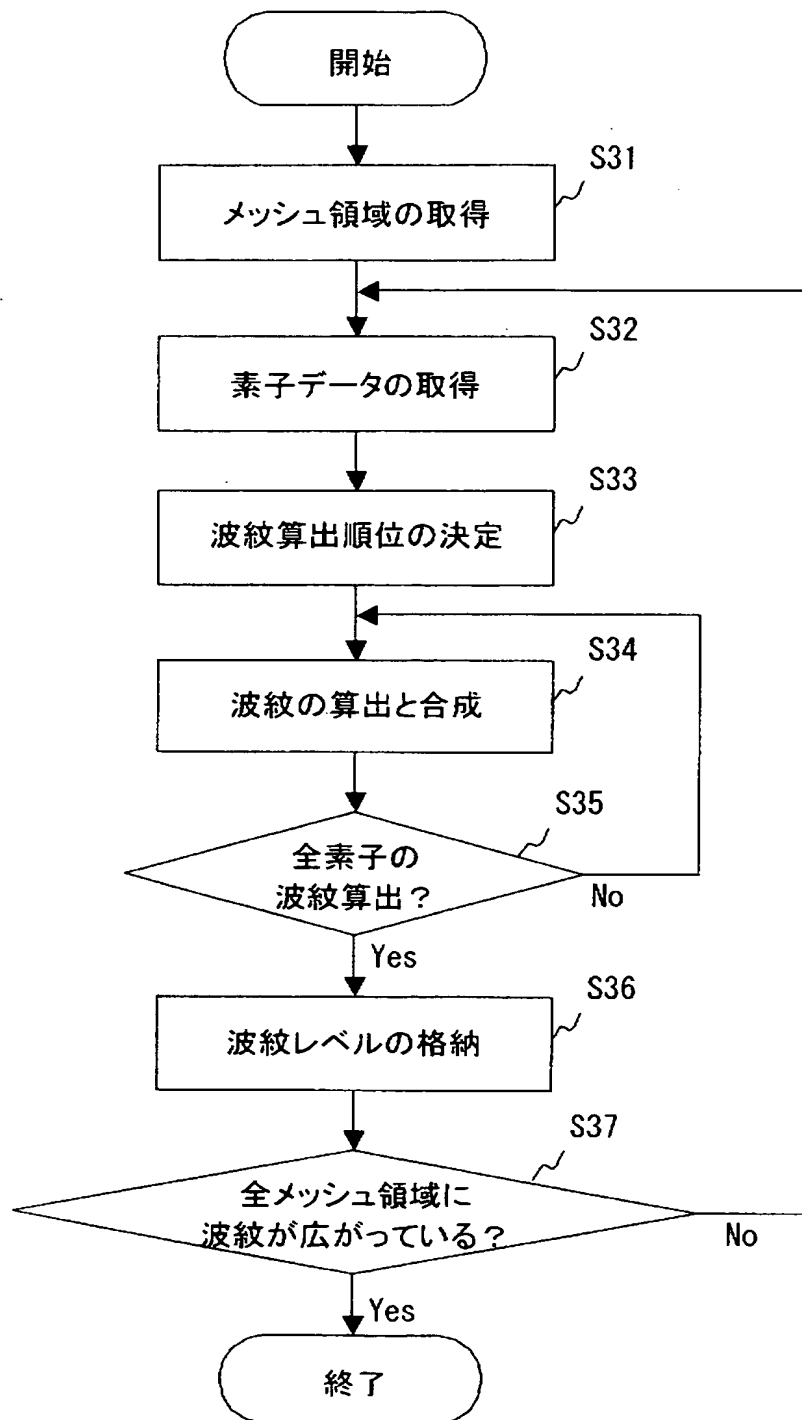


(b) 平面図

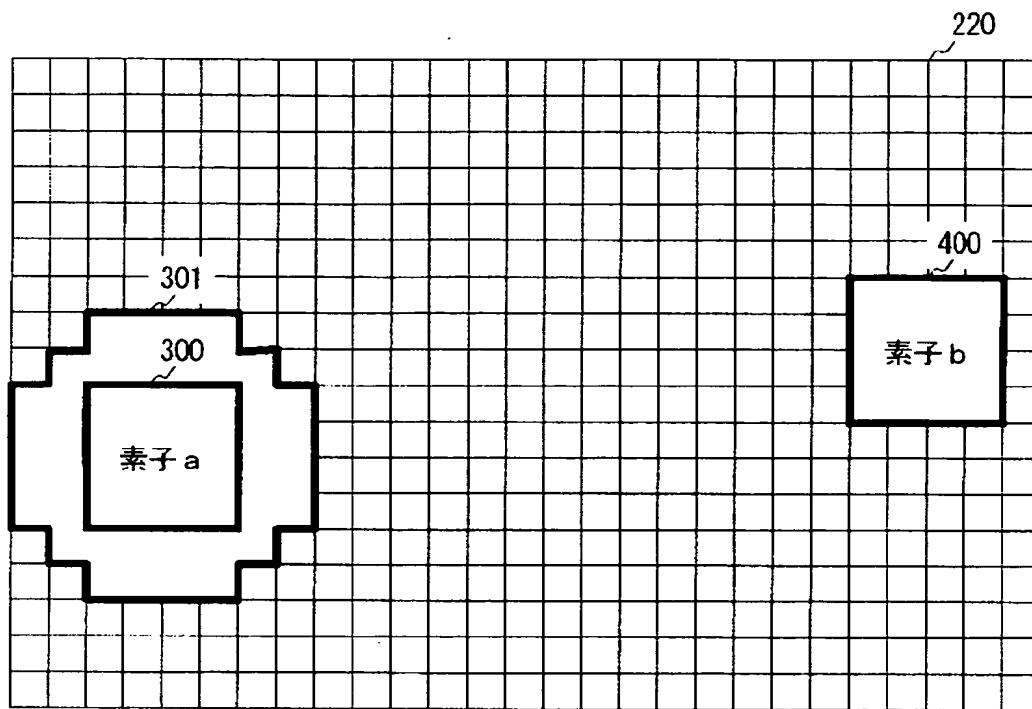


(c) 平面図

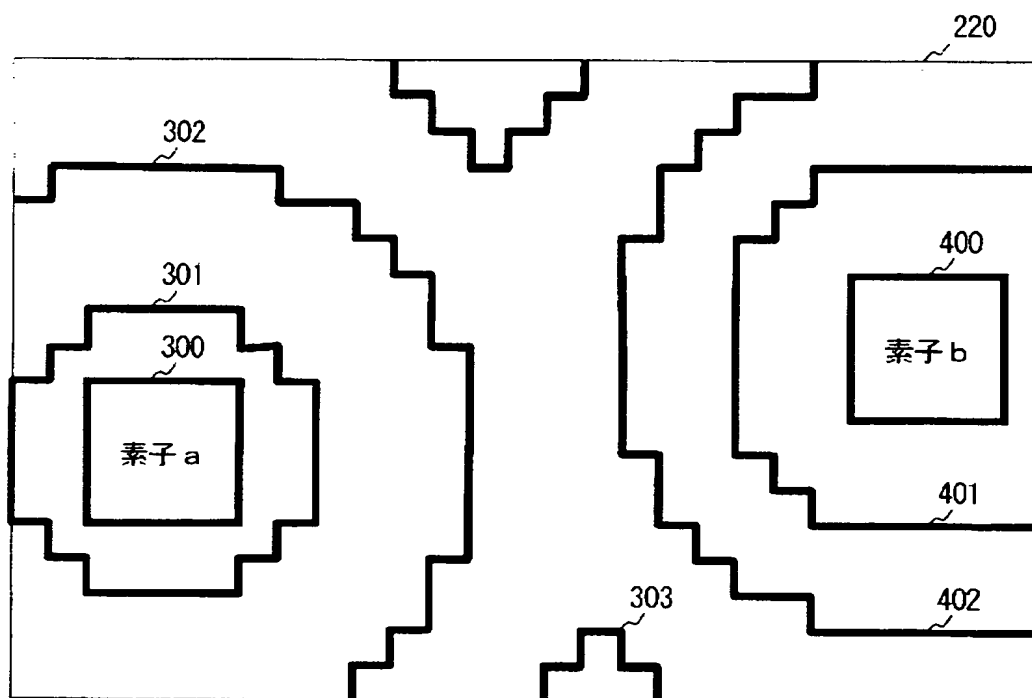
【図 15】



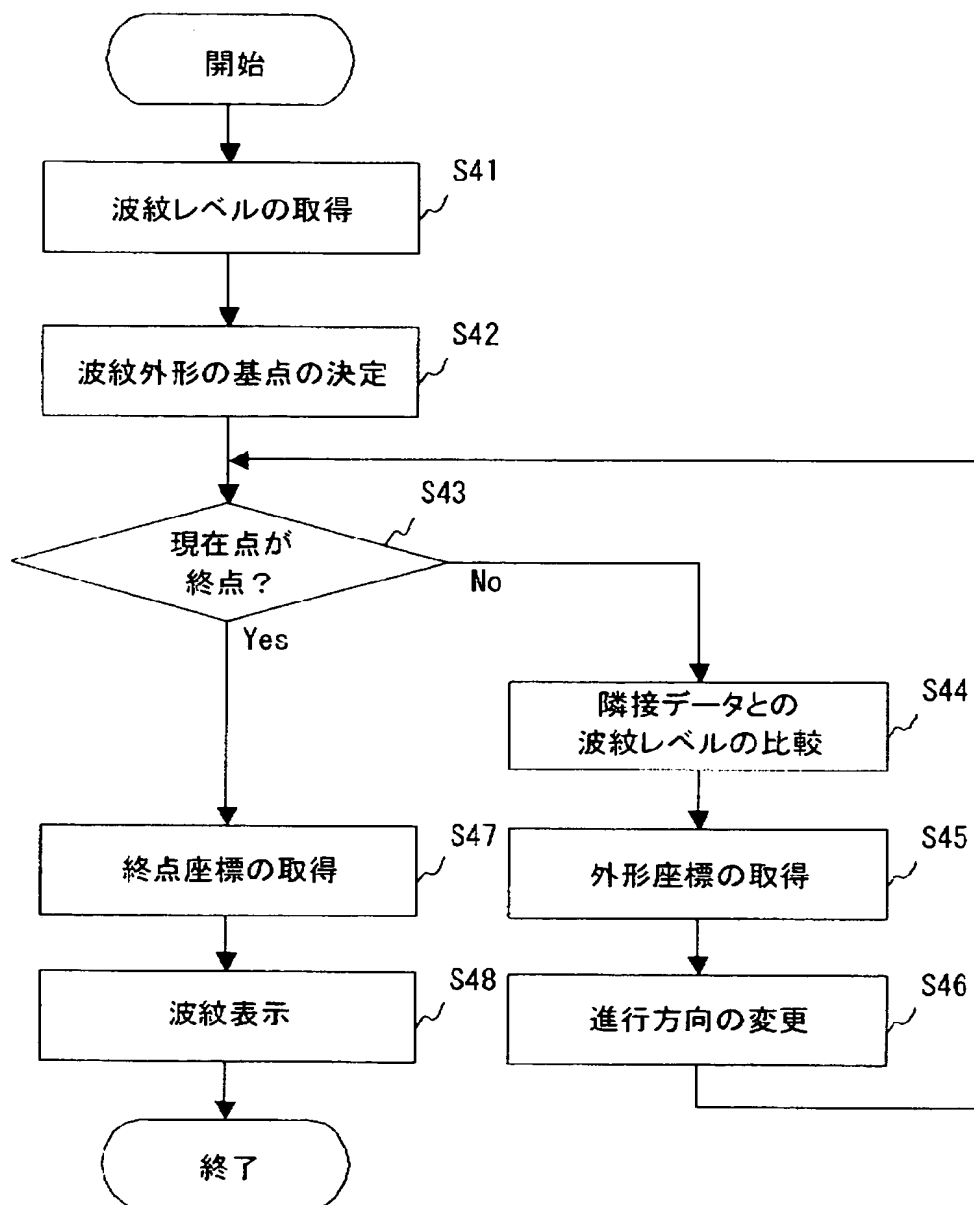
【図 16】



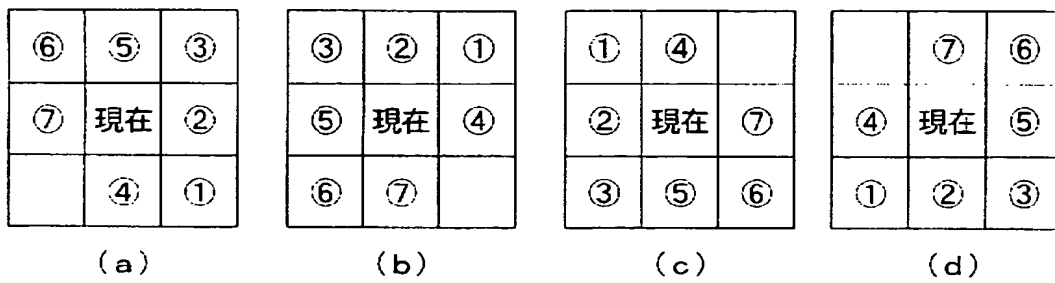
【図 17】



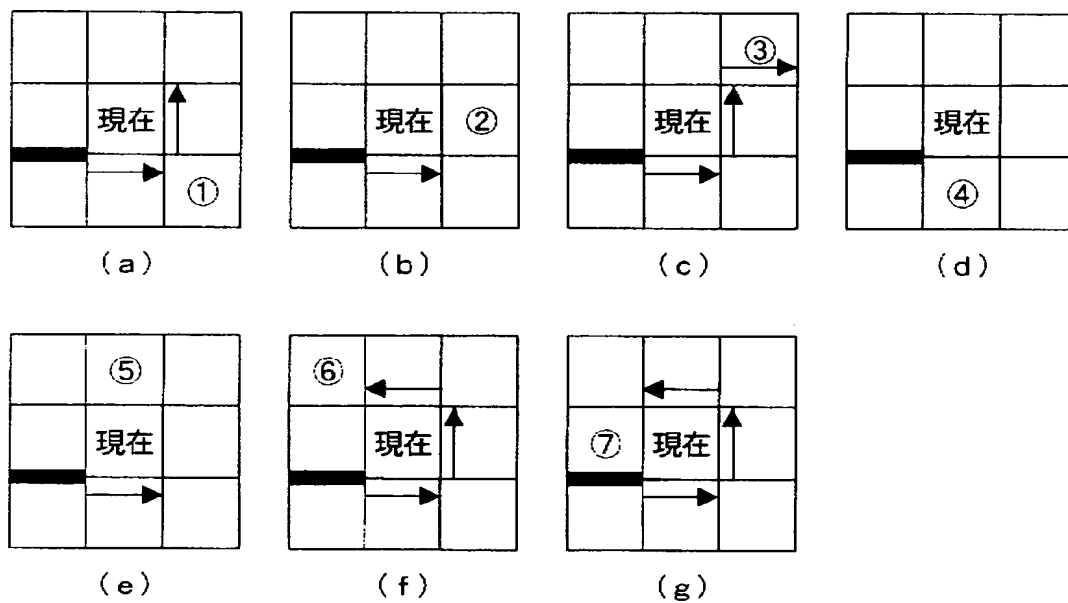
【図18】



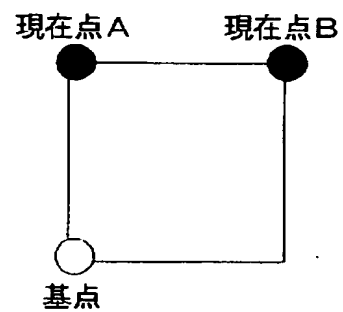
【図 19】



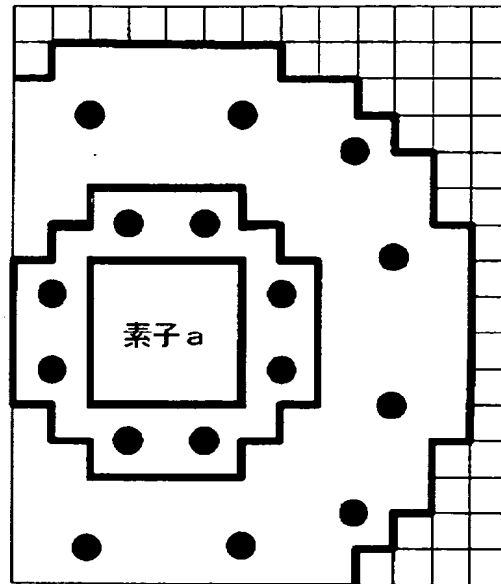
【図 20】



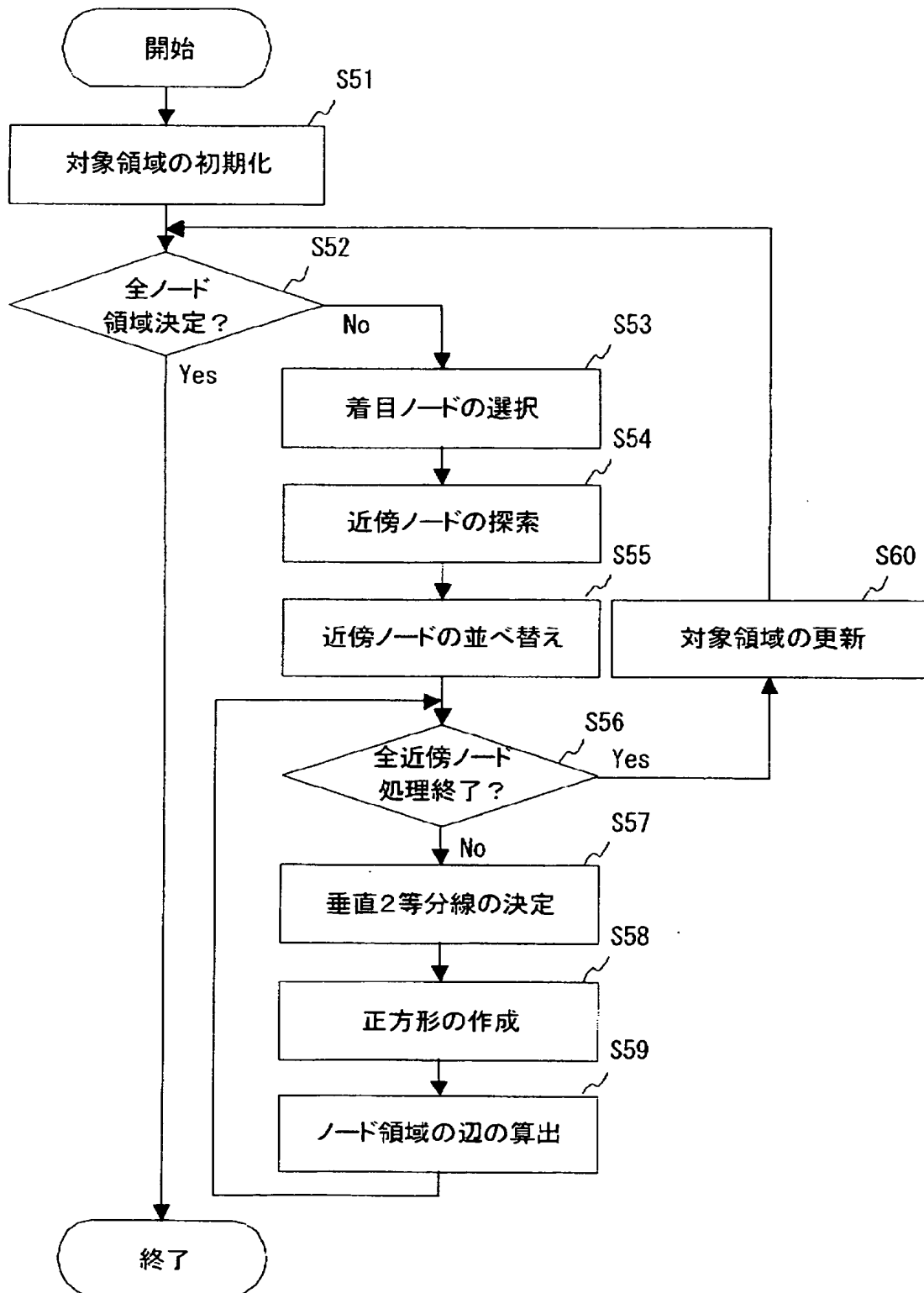
【図 21】



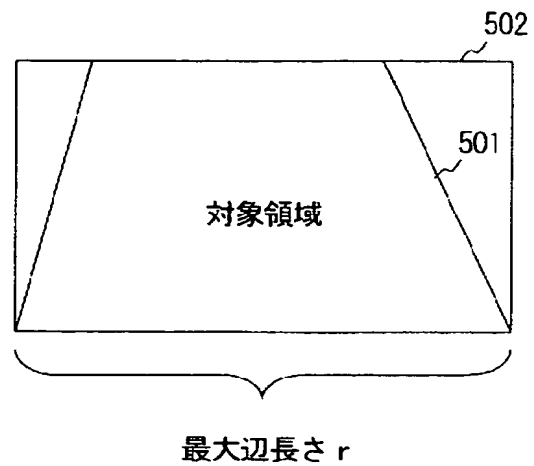
【図 22】



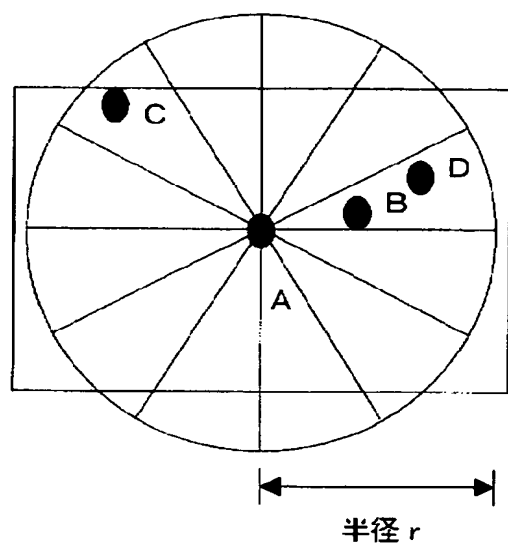
【図 23】



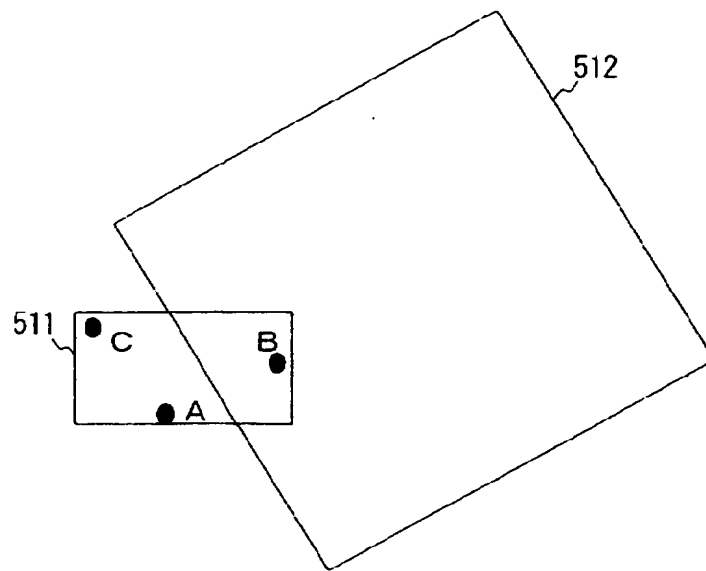
【図 24】



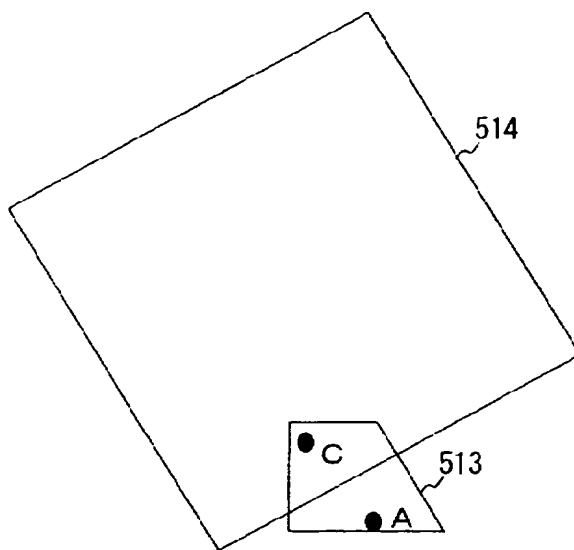
【図 25】



【図 26】



(a)

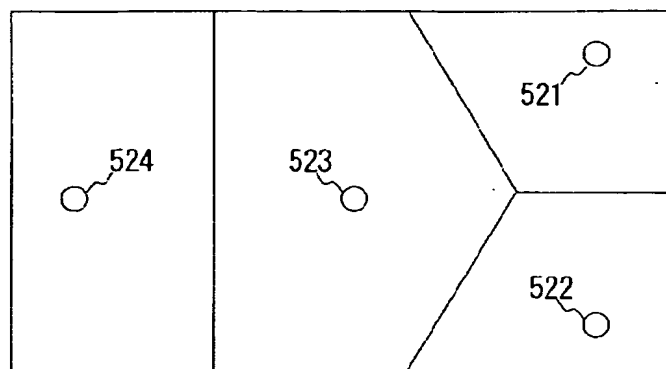


(b)

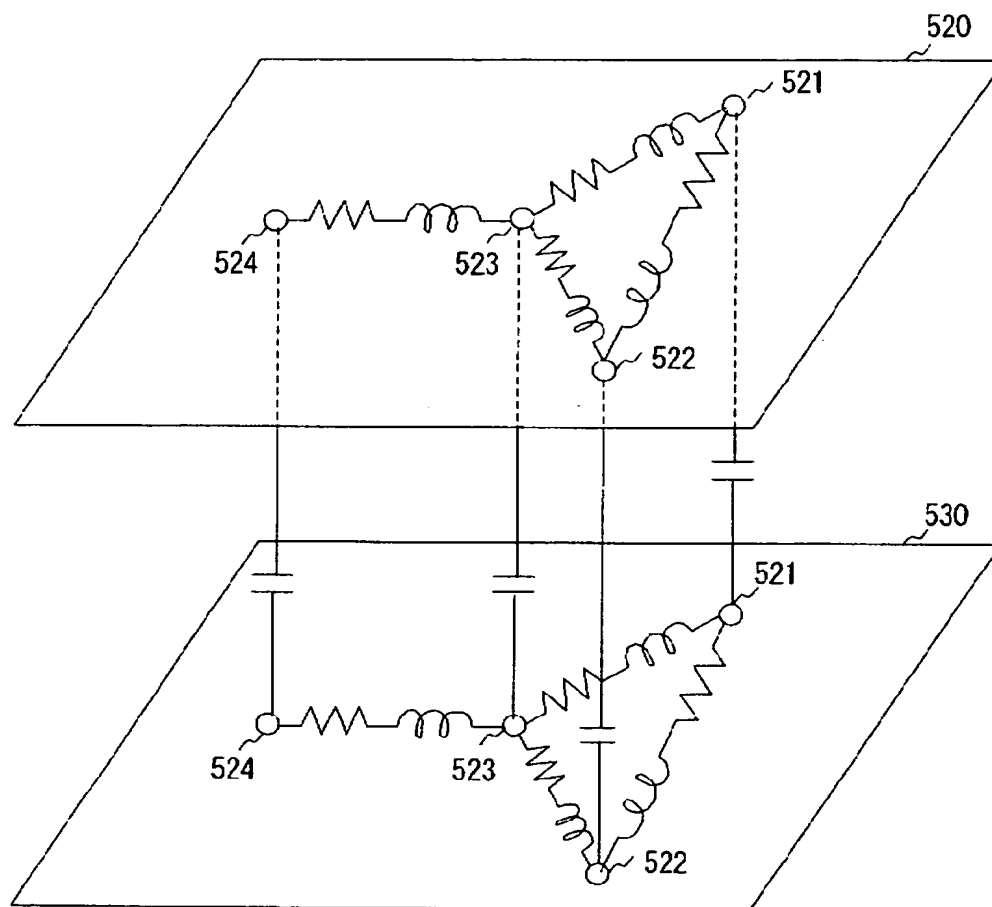


(c)

【図 27】



【図 28】



【書類名】 要約書

【要約】

【課題】 回路基板の様々な条件を考慮して電源層をモデル化する電源ノイズ解析モデル生成装置を提供することを目的とする。

【解決手段】 CADデータを取得するCADデータ取得部11と、CADデータを電源ノイズ解析に適したデータに変換するCADデータ変換処理部12と、電源ペアを抽出する電源ペア抽出処理部14と、電源ペア領域をメッシュで分割するメッシュ分割処理部15と、電源ペア領域上の素子から電源ペア領域上に放射される電磁波の波面である波紋を配置する波紋処理部16と、電源ペア領域上に複数のノードを配置するノード配置処理部18と、ノード領域を決定するノード領域決定処理部19と、ノード間を接続するLとRとCを算出するLRC決定処理部20と、電源層モデルを生成する電源層モデル生成処理部21と、電源ノイズ解析モデルを生成する電源ノイズ解析モデル生成処理部23とを備えた。

【選択図】 図4

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 3 1 5 2 9
受付番号	5 0 3 0 0 7 6 9 5 7 6
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 5 年 5 月 1 2 日

<認定情報・付加情報>

【提出日】	平成15年 5月 9日
-------	-------------

次頁無

特願 2 0 0 3 - 1 3 1 5 2 9

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社